

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-114581
(P2000-114581A)

(43)公開日 平成12年4月21日(2000.4.21)

(51) Int.Cl.⁷

識別記号

F I
H O I L 31/12

テーマコード*(参考)

審査請求 未請求 請求項の数17 OL (全 70 頁)

(21)出願番号 特願平11-287380
(22)出願日 平成11年10月7日(1999.10.7)
(31)優先権主張番号 103726
(32)優先日 平成10年10月9日(1998.10.9)
(33)優先権主張国 米国(US)
(31)優先権主張番号 295431
(32)優先日 平成11年4月20日(1999.4.20)
(33)優先権主張国 米国(US)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 吉村 梶三
アメリカ合衆国, カリフォルニア 94087,
サニーベイル, イー・エル・カミノ・ロ
ード 965番 936号
(74) 代理人 100070150
弁理士 伊東 忠彦 (外1名)

最終頁に統く

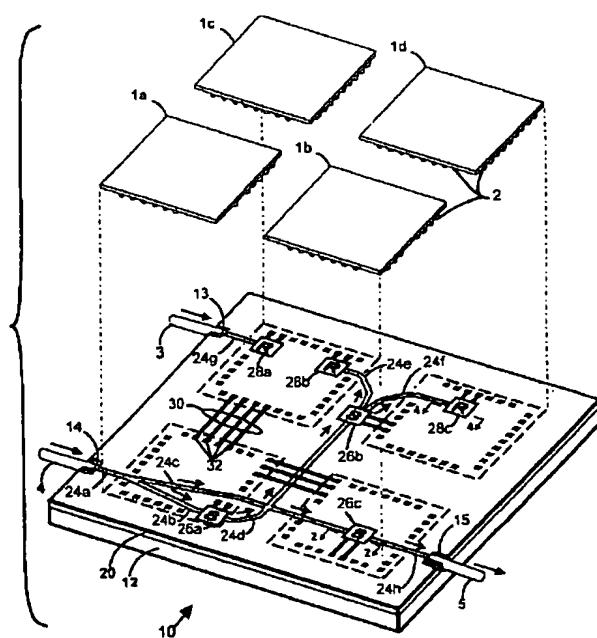
(54) 【発明の名称】重気的相互連結及び光学的相互連結を具備した多層光電子基板並びにその製造方法

(57) 【要約】

【課題】 本発明は、ドライバ回路及び増幅器回路を用いることなく、電気相互連結及び光相互連結を実現する光電子基板の提供を目的とする。

【解決手段】 本発明による基板は、ポリマー導波路が中に形成されている第1の層と、ポリマー導波路が中に形成されている第2の層と、第1の層内に形成され、第1の層内の第1の導波路と光学的に結合された第1の縦型光カッパーと、第2の層内に形成され、第2の層内の第2の導波路と光学的に結合された第2の縦型光カッパーとを含み、第1の導波路と第2の導波路の間で光が結合されるように、第1の縦型光カッパーは第2の縦型光カッパーの隣に配置されている。

本発明による光電子マルチチップモジュールの第1実施例の構成図



【特許請求の範囲】

【請求項1】 ポリマー導波路が中に形成されている第1の層と、
ポリマー導波路が中に形成されている第2の層と、
上記第1の層内に形成され、上記第1の層内の第1の導波路と光学的に結合された第1の縦型光カップラーと、
上記第2の層内に形成され、上記第2の層内の第2の導波路と光学的に結合された第2の縦型光カップラーとを含み、
上記第1の導波路と上記第2の導波路の間で光が結合されるように、上記第1の縦型光カップラーは上記第2の縦型光カップラーの隣に配置されていることを特徴とする光学的相互連結及び電気的相互連結を具備した基板。

【請求項2】 ポリマー導波路が中に形成されている少なくとも1層のポリマー層と、
複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、
上記層が積層構造を形成するように互いに層状化されていることを特徴とする光学的相互連結及び電気的相互連結を具備した基板。

【請求項3】 複数の電子集積回路デバイスが形成されている少なくとも1層のポリマー層と、
複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、
上記層が積層構造を形成するように互いに層状化されていることを特徴とする光学的相互連結及び電気的相互連結を具備した基板。

【請求項4】 複数の電子集積回路デバイスが形成されている複数のポリマー層とを有し、
上記層が積層構造を形成するように互いに層状化されていることを特徴とする光学的相互連結及び電気的相互連結を具備した基板。

【請求項5】 垂直向きの光スイッチデバイス、及び、
上記光スイッチデバイスの出力に設けられたマイクロレンズを具備する第1のボードと、
垂直向きの受光素子デバイス、及び、上記受光素子デバイスの入力に設けられたマイクロレンズを具備する第2のボードとを有し、
上記第1のボードと上記第2のボードは、対応したスイッチデバイスと受光素子デバイスが揃うように対向して配置されていることを特徴とする基板。

【請求項6】 チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第1の光電子マルチチップモジュールと、

チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第2の光電子マルチチップモジュールと、

上記第1の光電子マルチチップモジュール及び上記第2

の光電子マルチチップモジュールの下面の付近に配置され、上記第1及び第2の光電子マルチチップモジュールの間で光信号を結合する光導波路層を具備した少なくとも1層の受動膜とを有することを特徴とする複数のチップ間で情報を通信する光学的相互連結システム。

【請求項7】 受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電気素子が埋め込まれた基板、及び、受動パリマー導波路と埋め込まれた電気素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、

上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、
上記少なくとも一つの基板内で光信号を発生させる光信号源手段と、

上記少なくとも一つの基板内で光信号を検出する光検出手段とを有することを特徴とする少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュール。

【請求項8】 受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電気素子が埋め込まれた基板、及び、受動パリマー導波路と埋め込まれた電気素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、

上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、
上記少なくとも一つの基板内の光パワー又は光信号を切り換える上記少なくとも一つの基板内の光スイッチ手段とを有することを特徴とする少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュール。

【請求項9】 少なくとも一つの電気的ビアが中に形成された導波路層、集積回路チップ層、及び、光電子層を別々に製作する工程と、

少なくとも一つの電気的接続が二つの異なる層の間で行われ、一方の層の導波路の端が隣接した層の光電子デバイスと揃えられるように、上記層を一体的に層状化する工程とを有することを特徴とする基板の製造方法。

【請求項10】 上面及び下面を有するベース層と、
上面、下面、上記上面と上記下面との間に設けられた少なくとも一つの側面、第1の電気的端子、及び、第2の電気的端子を有し、上記電気的端子の中の少なくとも一方が上記上面に設けられている光電気デバイスと、
上記ベース層の上記上面に形成され、上記光電気デバイスの側面に接して終端する端部を有する光導波路コアとを含むことを特徴とする光学的相互連結及び電気的相互連結を有する基板。

【請求項11】 第1のポリマー層と、
上記ポリマー層に埋め込まれた複数のV C S E L素子と、
上記ポリマー層に埋め込まれた複数の受光素子とを含む

基板。

【請求項12】 第1の面、及び、上記第1の面と対向した第2の面を有し、導波路が中に一体的に形成されているポリマー基板と、

上記基板内に配置され、上記第1の面及び上記第2の面と上記導波路との間で光信号を結合する複数の光カップラーと、

上記基板内に設けられたバイア接続部とを含む電子光基板。

【請求項13】 (a) クラッド材料の層を形成する工程と、

(b) 光電子デバイスの少なくとも一部分を含むミニチップを上記クラッド材料の層に配置し、接着する工程と、

(c) コア材料が上記ミニチップに接着するように上記クラッド材料の層及び上記ミニチップの上にコア材料の層を形成する工程と、

(d) 上記ミニチップ内で終端する導波路を上記コア材料内に画成する工程と、

(e) 表面の上にクラッド材料の層を形成する工程とを含む、基板の製造方法。

【請求項14】 (a) クラッド材料の層を形成する工程と、

(b) 上記クラッド材料の層の上にコア材料の層を形成する工程と、

(c) 上記コア材料の層内に光導波路を画成する工程と、

(d) 表面の上にクラッド材料の層を形成する工程と、

(e) 上記表面をより平坦化するため上記クラッド材料を研磨する工程とを含む、基板用の導波路の製造方法。

【請求項15】 (a) ポリマーア下側クラッド層を第1の基板に堆積させる工程と、

(b) ポリマーコア層を上記下側クラッド層に堆積させる工程と、

(c) マスク層を上記コア層の表面に堆積させる工程と、

(d) アーチャを形成するため上記マスク層をパターニングする工程と、

(e) 少なくとも一つの側壁が45°の傾斜角で傾斜している側壁を有する少なくとも一つのトレンチを上記アーチャ内に形成する工程と、

(f) 上記マスク層を除去する工程と、

(g) 45°で傾斜した上記側壁の少なくとも一部分と、上記トレンチの底の平坦な部分とを金属化する工程と、

(h) 上記トレンチの底の平坦な部分の金属層の高さまで基板を下方にエッチングすることにより、VCSELが挿入されるべき領域で基板の一部分を除去する工程と、

(i) VCSELビームが上記コア層に結合され、VC

SELの電気的接点層が上記トレンチの底の上記金属層の一部分と接触するように、VCSELの発光窓を上記金属層の下側に向けてVCSELを配置する工程と、

(j) 金属面が上記VCSELへの電気的接点を与えるように上記VCSELを上記金属層に接合する工程とを含む、光電子基板の製造方法。

【請求項16】 (a) 取り外し可能な基板を設置する工程と、

(b) 金属層を上記基板の表面に堆積させる工程と、

(c) 上記金属層を接点パッド及び電極にパターニングする工程と、

(d) 薄膜デバイスの金属接点面を堆積された接点パッドに配置する工程と、

(e) 上記薄膜デバイスを上記金属接点面に接合する工程と、

(f) 合成複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、

(g) 上記複合構造体を研磨する工程と、

(h) 表面接点を平坦化された上記複合構造体の上に形成する工程と、

(i) 上記取り外し可能な基板を除去する工程とを含む、ポリマー膜に埋め込まれた光電子デバイスの製造方法。

【請求項17】 (a) 第1の基板を設置する工程と、

(b) 粘着性バッファ層を上記第1の基板の表面に形成する工程と、

(c) 下面及び上面を有する複数の薄膜デバイスの下面を上記バッファ層に取り付ける工程と、

(d) 上記バッファ層に取り付けられる下面及び上面を有する複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、

(e) 上記複合構造体を研磨する工程と、

(f) 少なくとも一つの上部電極を少なくとも一つの薄膜デバイスに形成し、少なくとも一つの表面接点を上記研磨された複合構造体の上面に形成する工程と、

(g) 第2の基板を上記複合構造体の露出した上面に取り付ける工程と、

(h) 上記第1の基板を取り除く工程と、

(i) 少なくとも一つの電極を上記少なくとも一つの薄膜デバイスの下面に形成し、少なくとも一つの表面接点を上記複合構造体の下面に形成する工程とを含む、ポリマー膜に埋め込まれた光電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル及び/又はアナログ電子システムを接続するため使用される光電子（オプトエレクトロニクス）基板、並びに、この電子システムを製造するための方法に関する。特に、本発明は、電気（的）相互連結及び光（学的）相互連結の両方を有するオプトエレクトロニクス基板、並びに、その製

造方法に関する。

【0002】また、本発明は、MCM（マルチチップモジュール）などに適用される。

【0003】

【従来の技術】相互連結基板上に実装された処理システムのクロックレート及びI/Oカウント数の増加と共に、このような処理システムの相互連結ボトルネック、ノイズ、信号減衰、電気接続における同期可能な接続長の問題が生ずる。光相互連結には、低RC遅延、低信号減衰、予測可能な遅延、低電力、低ノイズ、及び、オープン及びショートに対する高い許容性という利点がある。しかし、光相互連結を高速デジタル／アナログシステムで使用することを阻止する重大な障害がある。従来は、光相互接続内の光信号と、電子チップによって発生、使用される電気信号との間で変換を行うため、巨大なドライバチップ及び増幅器チップが要求される。長い距離に亘って電気信号を光学的に伝搬させるためには、発光デバイスと、発光デバイスを切り換える電気パワーを発生させるドライバチップとが光接続の一方の端で必要とされる。光接続の受信端において、光検出デバイス及び増幅器が光信号を電気形式に変換するため必要とされる。増幅器が必要とされる理由は、光パワーが通常の光学路内非常に大きい損失に起因して光検出デバイス側で小さくなるからである。

【0004】

【発明が解決しようとする課題】ドライバ及び増幅器の部品は、回路基板上でスペースを必要とするので、マルチチップモジュールのような基板内で多数の光接続を使用する際に障壁となる。実際に、これらの部品のために必要な面積、並びに、発光デバイス及び光検出デバイスのために必要な面積は、電気接続しか含まないモジュール基板よりもモジュール基板のサイズを大きくさせる。これらの余分な部品及びそれらの組立体は製造コストも上昇させる。また、通常の光接続は、電子一光（E-O）変換及び光電子（O-E）変換に起因してより長い遅延を有し、電気モジュールだけで構成されたモジュールに対し有意な速度的な利点は得られない。

【0005】本発明は、上記従来技術の問題点を解決する光接続構造体及び光接続を製造する方法の提供を目的とする。

【0006】

【課題を解決するための手段】上記本発明の目的を達成するため、請求項1に記載された本発明による光学的相互連結及び電気的相互連結を具備した基板は、ポリマー導波路が中に形成されている第1の層と、ポリマー導波路が中に形成されている第2の層と、上記第1の層内に形成され、上記第1の層内の第1の導波路と光学的に結合された第1の縦型光カップラーと、上記第2の層内に形成され、上記第2の層内の第2の導波路と光学的に結合された第2の縦型光カップラーとを含み、上記第1の

導波路と上記第2の導波路の間で光が結合されるよう、上記第1の縦型光カップラーは上記第2の縦型光カップラーの隣に配置されている。

【0007】請求項2に記載された本発明による光学的相互連結及び電気的相互連結を具備した基板は、ポリマー導波路が中に形成されている少なくとも1層のポリマー層と、複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、上記層が積層構造を形成するように互いに層状化されている。請求項3に記載された本発明による光学的相互連結及び電気的相互連結を具備した基板は、複数の電子集積回路デバイスが形成されている少なくとも1層のポリマー層と、複数の光電子デバイスが一体的に形成されている少なくとも1層のポリマー層とを有し、上記層が積層構造を形成するように互いに層状化されている。

【0008】請求項4に記載された本発明による光学的相互連結及び電気的相互連結を具備した基板は、複数の電子集積回路デバイスが形成されている複数のポリマー層を有し、上記層が積層構造を形成するように互いに層状化されている。請求項5に記載された本発明による基板は、垂直向きの光スイッチデバイスと、上記光スイッチデバイスの出力に設けられたマイクロレンズとを具備する第1のボードと、垂直向きの受光素子デバイスと、上記受光素子デバイスの入力に設けられたマイクロレンズとを具備する第2のボードとを有し、上記第1のボードと上記第2のボードは、対応したスイッチデバイスと受光素子デバイスが揃うように対向して配置されている。

【0009】請求項6に記載された本発明による複数のチップ間で情報を通信する光学的相互連結システムは、チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第1の光電子マルチチップモジュールと、チップを実装する上面、並びに、光信号を内部及び外部に結合するため少なくとも1本の導波路が設けられた下側膜層を具備した第2の光電子マルチチップモジュールと、上記第1の光電子マルチチップモジュール及び上記第2の光電子マルチチップモジュールの下面の付近に配置され、上記第1及び第2の光電子マルチチップモジュールの間で光信号を結合する光導波路層を具備した少なくとも1層の受動膜とを有する。

【0010】請求項7に記載された本発明による少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュールは、受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電気素子が埋め込まれた基板、及び、受動パリマー導波路と埋め込まれた電気素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、上記少なくとも一つの基板内で光

信号を発生させる光信号源手段と、上記少なくとも一つの基板内で光信号を検出する光検出手段とを有する。

【0011】請求項8に記載された本発明による少なくとも二つの電気回路端子の間で光信号を通信する電子光モジュールは、受動ポリマー導波路を具備した基板、電子光素子がポリマー膜に埋め込まれた基板、電子光素子が埋め込まれた基板、及び、受動パリマー導波路と埋め込まれた電子光素子と埋め込まれた電子光素子とを具備した基板よりなる群から別個に選択された少なくとも一つの基板と、上記少なくとも一つの基板内で光信号を伝搬させる光導波路手段と、上記少なくとも一つの基板内の光パワー又は光信号を切り換える上記少なくとも一つの基板内の光スイッチ手段とを有する。

【0012】請求項9に記載された本発明による基板の製造方法は、少なくとも一つの電気的ビアが中に形成された導波路層、集積回路チップ層、及び、光電子層を別々に製作する工程と、少なくとも一つの電気的接続が二つの異なる層の間で行われ、一方の層の導波路の端が隣接した層の光電子デバイスと揃えられるように、上記層を一体的に層状化する工程とを有する。

【0013】請求項10に記載された本発明による光学的相互連結及び電気的相互連結を有する基板は、上面及び下面を有するベース層と、上面、下面、上記上面と上記下面との間に設けられた少なくとも一つの側面、第1の電気的端子、及び、第2の電気的端子を有し、上記電気的端子の中の少なくとも一方が上記上面に設けられている光電気デバイスと、上記ベース層の上記上面に形成され、上記光電気デバイスの側面に接して終端する端部を有する光導波路コアとを含む。

【0014】請求項11に記載された本発明による基板は、第1のポリマー層と、上記ポリマー層に埋め込まれた複数のVCSEL素子と、上記ポリマー層に埋め込まれた複数の受光素子とを含む。請求項12に記載された本発明による電子光基板は、第1の面、及び、上記第1の面と対向した第2の面を有し、導波路が中に一体的に形成されているポリマー基板と、上記基板内に配置され、上記第1の面及び上記第2の面と上記導波路との間で光信号を結合する複数の光カップラーと、上記基板内に設けられたバイア接続部とを含む。

【0015】請求項13に記載された本発明による基板の製造方法は、(a) クラッド材料の層を形成する工程と、(b) 光電子デバイスの少なくとも一部分を含むミニチップを上記クラッド材料の層に配置し、接着する工程と、(c) コア材料が上記ミニチップに接着するように上記クラッド材料の層及び上記ミニチップの上にコア材料の層を形成する工程と、(d) 上記ミニチップ内で終端する導波路を上記コア材料内に画成する工程と、(e) 表面の上にクラッド材料の層を形成する工程とを含む。

【0016】請求項14に記載された本発明による基板

用の導波路の製造方法は、(a) クラッド材料の層を形成する工程と、(b) 上記クラッド材料の層の上にコア材料の層を形成する工程と、(c) 上記コア材料の層内に光導波路を画成する工程と、(d) 表面の上にクラッド材料の層を形成する工程と、(e) 上記表面をより平坦化するため上記クラッド材料を研磨する工程とを含む。

【0017】請求項15に記載された本発明による光電子基板の製造方法は、(a) ポリマーア下側クラッド層を第1の基板に堆積させる工程と、(b) ポリマーコア層を上記下側クラッド層に堆積させる工程と、(c) マスク層を上記コア層の表面に堆積させる工程と、(d) アーチャを形成するため上記マスク層をパターニングする工程と、(e) 少なくとも一つの側壁が45°の傾斜角で傾斜している側壁を有する少なくとも一つのトレンチを上記アーチャ内に形成する工程と、(f) 上記マスク層を除去する工程と、(g) 45°で傾斜した上記側壁の少なくとも一部分と、上記トレンチの底の平坦な部分とを金属化する工程と、(h) 上記トレンチの底の平坦な部分の金属層の高さまで基板を下方にエッチングすることにより、VCSELが挿入されるべき領域で基板の一部分を除去する工程と、(i) VCSELビームが上記コア層に結合され、VCSELの電気的接点層が上記トレンチの底の上記金属層の一部分と接触するように、VCSELの発光窓を上記金属層の下側に向けてVCSELを配置する工程と、(j) 金属面が上記VCSELへの電気的接点を与えるように上記VCSELを上記金属層に接合する工程とを含む。

【0018】請求項16に記載された本発明によるポリマー膜に埋め込まれた光電子デバイスの製造方法は、

(a) 取り外し可能な基板を設置する工程と、(b) 金属層を上記基板の表面に堆積させる工程と、(c) 上記金属層を接点パッド及び電極にパターニングする工程と、(d) 薄膜デバイスの金属接点面を堆積された接点パッドに配置する工程と、(e) 上記薄膜デバイスを上記金属接点面に接合する工程と、(f) 合成複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、(g) 上記複合構造体を研磨する工程と、(h) 表面接点を平坦化された上記複合構造体の上に形成する工程と、(i) 上記取り外し可能な基板を除去する工程とを含む。

【0019】請求項17に記載された本発明によるポリマー膜に埋め込まれた光電子デバイスの製造方法は、

(a) 第1の基板を設置する工程と、(b) 粘着性バッファ層を上記第1の基板の表面に形成する工程と、(c) 下面及び上面を有する複数の薄膜デバイスの下面を上記バッファ層に取り付ける工程と、(d) 上記バッファ層に取り付けられる下面及び上面を有する複合構造体を形成するため、上記薄膜デバイスを1層以上のポリマー層で被覆する工程と、(e) 上記複合構造体を研磨

する工程と、(f)少なくとも一つの上部電極を少なくとも一つの薄膜デバイスに形成し、少なくとも一つの表面接点を上記研磨された複合構造体の上面に形成する工程と、(g)第2の基板を上記複合構造体の露出した上面に取り付ける工程と、(h)上記第1の基板を取り除く工程と、(i)少なくとも一つの電極を上記少なくとも一つの薄膜デバイスの下面に形成し、少なくとも一つの表面接点を上記複合構造体の下面に形成する工程とを含む。

【0020】上記の本発明の一面によれば、嵩の大きいドライバ及び増幅器の必要性が無くなるので、面積の要求条件が著しく軽減される。発光源の代わりに、外部光源及び光スイッチデバイス(例えば、変調器)が使用される。光スイッチデバイスはICチップの出力に応答し、動作用のドライバチップを必要としない。発光源を用いる場合と比較して、光変調器を使用する実現例における光信号のパワーは、外部光源のサイズ及びパワーを増加することによって著しく増大される。外部光源は、変調する必要が無いので、このような形で容易に増加させることができる。例えば、外部光源は、簡単な連続波(CW)又は光パワーのパルス列源として実現され得る。さらに、光接続の損失は削減される。したがって、受光素子でのパワーは増大され、増幅器を省略できるようになる。ポリマー導波路を光スイッチ及び受光素子と一緒に形成することにより光接続の損失は低減され、光カップリング効率が上昇する。また、本発明の作製方法によれば、短い光接続を作製することが可能である。受光素子に対する光パワーは、外部光パワーを使用することによって増大される。さらに、本発明の光導波路集積化方法は、VCSEL及びLD(レーザダイオード)放出デバイスへの非常に効率の良い光接続を行うことが可能であり、これにより、これらのデバイスは外部源に加えて光パワーの発生源として使用され得る。

【0021】本発明の別の面は、デバイス及び/又は材料の光電子層への集積化を実現し、チップ実装のための面積を増加し、光電子デバイスと光導波路との間で光アライメントの難しさを取り除く。光電子デバイスは、本発明によるウェーハ処理技術を用いて導波路層に埋め込まれ得る。本発明による方法は、光電子デバイス(例えば、変調器、VCSEL、受光素子、光スイッチ、レーザダイオード(LD)、ドライバチップ、増幅器チップなど)を、1μm乃至250μmのオーダーの超薄膜ポリマー層内で光導波路と集積化することを可能にさせる。

【0022】本発明の他の面は、ラミネーション(層状化)若しくはビルドアップ(積層化)のような製造プロセスによって、上記光電子層を順番に積み重ねて一つに接合することにより、光電子基板を提供する。光電子層は、受光素子、光スイッチ、発光部品、ドライバチップ、増幅器チップなどのための余分な場所を必要とする

ことなく、通常の電気基板の表面の上の重ね合わせることが可能である。実際に、多数の光電子層は、必要とされるすべての受光素子、光スイッチ、発光デバイス、ドライバチップ、増幅器チップなどを提供するため積層することができる。本発明は、これらの光電子層を形成する数通りの作製方法と、数種類の基板構造体とを提供する。

【0023】本発明の更に別の面は、積層された構造体の機能を単層の光電子膜よりも改良することができる2層以上の光電子膜を積層する方法である。各光電子層は、Z接続法による電気層を含む単層構造体、或いは、多層構造体により構成される。各光電子膜上の光電子層及び電気層は、別個に最適化される。積層光電子膜の好ましい実施例には、フレキシブル相互連結部、光電子介挿部、膜光電子・マルチチップモジュール、両面パッケージング、裏面接続、及び、膜光リンクモジュール(FOLM)が含まれる。また、積層膜は、単層膜よりも多様な製造プロセスを使用することが可能となる。特に、積層膜は、処理された層を裏返しに反転することによって両面処理を可能にさせる。

【0024】上記の特徴は、基板の必要面積を増加させることなく、大規模光相互連結を電気基板に追加することができる有利な効果がある。これらの特徴は、また、光相互連結の光カップリング効率を改良することができる。これらの特徴は、光並列リンクモジュールに適用することができる。本発明において、マルチチップモジュールの例が原則として示されている。しかし、本発明の同じ特徴及び局面は、電気パックプレーン、印刷回路基板(PCB)、チップサイズパッケージ(CSP)、及び、その他の基板に適用可能である。

【0025】

【発明の実施の形態】図1には、本発明による光電子相互連結基板10の第1実施例の拡大斜視図が示されている。相互連結基板10は、光リンク及び電気経路の両方を用いて、1個若しくは複数のICチップ1a-1dからの信号のチップ間接続及びチップ内接続の両方を含む相互連結を行う光電子マルチチップモジュール(OEMCM)基板の形式をなす。基板10は、ベース基板12と活性層20とを含む。活性層は、光導波路24a-24hと、光電子スイッチングデバイス26a-26cと、受光デバイス28a-28cと、電気経路30と、ICチップ1用の電気接続パッド32とを含む。ICチップは、活性層20にフリップチップ式に組み付けられ、複数の任意のタイプの通常のコネクタ2によって活性層20の接続パッド32に電気接続される。一例として、図1に示されるように、コネクタ2ははんだバンプにより構成される。光導波路24及び光電子デバイス26及び28は、活性層20に組み込まれ、好ましくは、活性層20に埋め込まれるので、活性層20の上面は実質的に平坦である(例えば、小さい孔、溝、バンプなど

を除いて1平方cmの面積に対し±10μmの範囲内で表面均一性がある)。

【0026】チップの間の信号は、電気経路30によって電気的に伝搬され、或いは、導波路24によって光学的に伝搬される。信号が導波路24を光によって(光学的に)伝搬されるとき、光電子デバイス26及び28は、信号の光表現と電気表現との間で変換を実行する。光が信号を伝搬させるため使用される一例として、光パワー源は、光ファイバ4によって光電子マルチチップモジュール10に導かれ、光導波路24aに接続される。光パワー源は、チップ1によって形成された回路又はシステムの動作中に連続的な光エネルギー源を供給し、或いは、光パルスのパルス列を供給する。ファイバ4と導波路24との間のカップリングは、光ファイバ通信技術では周知の構造を有する標準的なV溝コネクタ14によって達成される。また、導波路モードが伝搬する層のコア領域内に45°の鏡、格子などを組み込み、コアが鏡若しくは格子と整列されるように各ファイバを位置決めすることによって層の表面で、2次元ファイバアレイ及びファイバイメージアレイを含む光ファイバを導波路に接続することが可能である。光源は、導波路24に沿って伝搬し、(例えば、光が別の段で分割される場合、若しくは、各分路の光が別の段でもう一度分割される場合に50%対50%の比率、又は、一方の分路内の光が別の段で更に分割される場合に33%対67%の比率のような予め選択された比率で通常のY字形分路により二つの導波路4b及び24cの間で分割される。導波路24b内の光は、光電子スイッチ26aに配達され、光電子スイッチ26は、スイッチに供給される電気信号に依存して導波路24d上に選択的に配達される。電気信号は2個の接続パッド32を介してスイッチ22aに供給され、次に、はんだパンプコネクタ2を介してチップ1a上の回路に接続される。このようにして、チップ1a上の回路からの電気出力信号は、スイッチ26aによって導波路上24dで光表現に変換される。

【0027】導波路24dは、スイッチ26aから、同様の接続パッド32及びコネクタ2を介してチップ1dの回路に接続された電気入力を有する第2の電子光スイッチ26bに経路が設けられる。スイッチ26bは、導波路24dに接続された1個の光入力と、チップ1d上の回路と接続された1個の電気入力を有する。スイッチ26bは、導波路24e及び24fにそれぞれ接続された2個の光出力を有する。スイッチ26bへの電気入力に依存して、スイッチ26bは、その光入力側の光を何れかの光出力に配達する。スイッチ26bの構成の一例は、図2及び3を参照して説明される。導波路24e及び24f上の光信号は、それぞれ、2個の受光デバイス28b及び28cに供給される。受光デバイス28b及び28cは、それぞれの光信号を対応した電気表現に変換し、対応した接続パッド32及びコネクタ2を介し

て、その電気表現をICチップ1c及び1d上の入力回路にそれぞれ供給する。スイッチ26bは、この状況では常に使用され、若しくは、必要であるとは限らない。このような場合に、基板は経路切換用スイッチを含まず、導波路24dの出力は受信器28b若しくは28c、又は、両方の受信器に直結される。

【0028】類似した様で、導波路24c上の光パワー源は、ICチップ1bからの電気出力信号によって制御される光電子スイッチ26cに配達される。変調された光出力は、スイッチ26cの光出力から光ファイバ5で終端する導波路24h上に配達され、光電子マルチチップモジュール基板10から送出される。通常のV溝コネクタ15は、ファイバ5を導波路24hに接続するため使用される。上述の通り、導波路モードが伝搬する層のコア領域内に45°の鏡、格子などを組み込み、コアが鏡若しくは格子と整列されるように各ファイバを位置決めすることによって、光ファイバを層の表面で導波路に接続することも可能である。スイッチ26cへの入力を供給する導波路24cを再度参照すると、導波路24cは導波路24dと略直角に交差することがわかる。この交差は、通常の光導波路の交差であり、その結果として、導波路24cから導波路24dに交差する光の量、及び、逆に導波路24dから導波路24cに交差する光の量は最小限に抑えられる。

【0029】受光デバイスは、光電子マルチチップモジュール10の外部から光信号を受信するため使用される。その一例として示された受光素子28aは、光ファイバ3から導波路24gを介して光信号を受信する。通常のV溝コネクタ13はファイバ3を導波路24gに接続するため使用される。上記の通り、45°の鏡、格子などを使用してもよい。受光デバイス28aの電気出力は、接続パッド32及びコネクタ2を介してICチップ1c上の入力回路に供給される。

【0030】図示されていないが、光導波路はチップのある端子から同じチップの別の端子に経路を設定し、これにより、チップ内光相互連結を設けることができる。図1に示された導波路24、デバイス26及び28、電気経路30、相互接続パッド32、ファイバ3-5、及び、チップ1の数は、視覚的な分かり易さのため小さい値に維持される。チップ及びファイバは除外される可能性があるが、典型的な光電子マルチチップモジュール基板10は、図示された部品の数よりも多数の部品を収容する。また、部品のサイズは視覚的な分かり易さのため誇張されている。典型的な導波路24の幅は1μm乃至50μmのオーダーであり、典型的なICチップの一辺の長さは1cm乃至4cmである。典型的なデバイス26及び28の幅は、1μm乃至50μmのオーダーであり、この幅は横方向の表面の二辺の大きさの中の短い方の長さである。典型的なデバイス26及び28の長さは、1μm乃至5000μmのオーダーであり、この長

さは横方向表面の二辺の大きさの中の長い方である。典型的なデバイス26及び28の厚さ、すなわち、縦方向の大きさは、 $1 \mu\text{m}$ 乃至 $20 \mu\text{m}$ に収まる。典型的に、自由空間光接続アプリケーションではサイズの大きい方のデバイスが使用される。図1では、各デバイスは対応したICチップから2本の電気接続が設けられているが、活性層20は、内部に接地面（又は電源面）を含み、デバイス26若しくは28は一方の電気端子がこの面に接続され、もう一方の電気端子は対応したICの出力若しくは入力に接続される。ファイバ3-5の代わりに、アレイファイバ、膜導波路、或いは、イメージングガイドが使用され得る。

【0031】図2には、光電子スイッチ26cの付近の活性層20の部分断面図が示され、図3には、導波路24c及び24hと共に光電子スイッチ26cの上面図が示されている。図2を参照するに、活性層20は、約 $5 \mu\text{m}$ の厚さのコア材料のパターン化された層24により構成され、そこから個別の導波路24a-24gが形成される。導波路層は、（ベース基板12がクラッド層として適当ではない場合に選択的に使用される）付加的なクラッド層21の上に形成され、第2のクラッド層23によって被覆される。クラッド層は、導波路24の側面及び上面の上に延在する。従来技術において知られているように、光導波路は、2種類の屈折率（ n_1 及び n_2 ）を有するコア材料及びクラッド材料と称される2タイプの材料から作られる。コア材料はクラッド材料よりも高い屈折率を有する。クラッド層21及び23は、コア層24の屈折率よりも低い屈折率の範囲内で異なる屈折率を有する。クラッド層は、例えば、日立ケミカル社製のフッ素化ポリイミドOP-I-N1005から製作することができ、コア層は、例えば、日立ケミカル社製のフッ素化ポリイミドOP-I-N3405から製作することができる。紫外線硬化可能なエポキシ導波路材料も低温処理に使用できる。ベース層が適切なクラッド層として機能し得る場合、クラッド層21は省くことができる。

【0032】スイッチ26cは活性層20に埋め込まれ、その下面是ベース基板12の上面と対向する。多数の異種類の光電子スイッチデバイスを使用することができる。かかる光電子スイッチデバイスの中には、例えば、内部全反射スイッチ、マッハツエンダーモジュラー、デジタルスイッチ、格子型スイッチ、電子吸収（EA）光変調器、半導体光ゲートスイッチなどが含まれる。図2に例示されたスイッチデバイスは内部全反射スイッチであり、電界が印加されたときに屈折率が変化する電子光（EO）材料626の本体部により構成される。図3を参照するに、電子光材料626の本体部は、導波路24cと第2の出力導波路24iとの間の通過セクションと、出力導波路24hへの通過セクションの起點となる分路セクションとを有するY字形本体部に形成

される。材料626は、入力導波路24cと出力導波路24h及び24iとの間の経路に設けられ、クラッド層21とクラッド層23の間に収容される。デバイスの電気端子としても機能する2個の対向電極27によって電界が印加される。図2の断面図には図示されない短い電気経路は、電極27を介する接続パッド32に接続する。接続パッド32は、図2に図示されていないが、平面の裏側での位置が破線で示されている。電極27間に電位差が無い場合、光は導波路24cから導波路24iまで通過セクションに沿って進行する。電極27間に電位差が加えられたとき、電子光材料626の一部は、屈折率が変化し、このため、光の伝搬方向は、光の主要部分が出力導波路24hの中に入るよう変化する。より詳細には、光は、電極27の間に電子光材料626のセクションで屈折率の低いセクションに達するので、分路セクションへ反射される。電子光材料626は、本願出願人によって譲受され、参考のため引用される米国特許第5,444,811号に記載されているような電子光ポリマーを含む有機材料によって構成される。電子光材料626は、例えば、 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{Al}_y\text{Ga}_{1-y}\text{As}$ のようなIII-V属の化合物から作られる多数の量子井戸デバイス及び量子ドットにより構成される。逆向き電圧バイアスを加えたとき、これらのデバイスは、印加されたバイアスの関数として屈折率を変化させることができる。

【0033】一般的に、活性層20は、積層技術を用いて形成される。以下の説明で、積層技術とは、導波管及び/又は電子光デバイスが埋め込まれた膜を形成するための、膜層堆積工程、電子光デバイスの埋設工程、並びに、ビア及びコンタクト層の形成の任意の組合せを意味する。一例として、クラッド層21は、最初にベース基板12上に形成され、次に光コア層24の形成及びパターンングが行われ、次にクラッド層23が形成され、続いて、電気経路30及び相互連結パッド32が形成される。光電子デバイス26及び28は、個別に形成され、クラッド層21の形成中若しくは形成後、かつ、クラッド層24の形成後に活性層20に組み込まれる。場合によっては、光電子デバイスは、層21-24の形成中に同時に形成することができる。例えば、図2のスイッチ26cの下部電極は、クラッド層21の形成前に形成される。クラッド層21の形成後に、矩形状の電子光材料がスイッチ26cが配置されるべき場所に形成される。次に、表面が層24のためのコア材料によって被覆され、硬化される。この表面は、電子光材料626の上部を露出させるため平坦化される。コア層及び矩形状の電子光材料626は、共に、導波路24c及び24h、並びに、電子光材料626の最終的なY字形分路形状のパターンを形成するため、例えば、従来のフォトレジスト層若しくはマスク層のパターンニングと、エッチングとを用いてパターンングされる。クラッド層23と、上部

電極27及びパッド32の金属層は次に形成される。

【0034】図4の(a)は、受光素子デバイス28cの付近の活性層20の部分断面図であり、同図の(b)は、導波路24fと共に受光素子デバイス28cを示す上面図である。スイッチ26cと同様に、受光素子デバイス28cは活性層20に埋め込まれ、その下面はベース基板12の上面と対向する。多数の異なる種類の重厚素子デバイスを使用することができる。図4の(a)及び(b)に示された例示的な受光素子デバイスは、半導体材料の本体部628若しくはミニチップと、本体部の表面に形成された2個の電極27により構成される。視覚的な見やすさのため、2個の単純な直線状電極が図示されている。本発明の実施例で使用される典型的なMSM受光素子デバイスは、正孔-電子収集効率を高めるため、組み合わされた電極を有する。本例の受光素子デバイス28cは、別個に構成され、クラッド層21の上部に配置され、導波路24a-24iを形成する前にクラッド層21に接着される。本体部628の材料は電極27間に電圧を発生させ、及び/又は、電極27間に電流を発生させ、及び/又は、電極27間の導電性に変化を生じさせる。例えば、本体部628は、材料内に形成されたpn接合と、一方の電極27に電気接続されたp型ドープト領域と、他方の電極27に電気接続されたn型ドープト領域とを含むた半導体材料により構成される。pn接合は光が照射されたとき電流を発生し、この電流は従来の受光素子技術で公知の通常の検出回路によって検出される。或いは、別の例では、本体部228は、材料内に形成されたpin接合及びnip接合を有し、夫々の電極27に電気接続されたドープト領域を具備した半導体材料により構成される。真性(i)半導体領域に光が照射されるとき、電子及び正孔の密度は増加し、領域の伝導性は増大する。これにより、従来の受光素子技術において公知である通常の検出回路によって検出可能な電極27間の導電性が変化する。また、2個のオーム性接点を備えた真性半導体の簡単な本体部を使用してもよい。バイポーラフォトトランジスタ及び電界効果フォトトランジスタのようなより複雑な受光素子デバイスを使用してもよい。これらのデバイスの構造は従来技術において公知であり、本発明の実施例に関して、光子捕獲領域を半導体材料のミニチップの一方若しくはそれ以上の側面に配置するため適合され得る。図4の(a)において、受光素子層の厚さは、導波路のコア層の厚さと殆ど同じになるように表示されている。しかし、より一般的には、受光素子の効率的な光吸収を実現するため、受光素子の厚さをコア層の厚さよりも大きくする方が好ましい。

【0035】上記の通り、本例による受光素子デバイス28cは、別個に製作され、クラッド層21の上部に設けられ、導波路24a-24iが形成される前にクラッド層の上部に接着される。クラッド層21が、最初に液

体形式で塗布され、次に硬化されるポリマー材料によって構成される場合、受光素子デバイス28cは、層21が液状若しくは粘着性状態にあるときに層21に設定し、硬化プロセス中に層21にしっかりと接着させてもよい。クラッド層21が積層により構成される場合、或いは、硬化、若しくは、非粘着性層である場合、ポリマー粘着性の本体部が配置前に受光素子デバイス28cの裏面に貼付され、次いで、デバイス28cを層21に接着させるため硬化される。正しい位置に設置された後、導波路24a-24i及び上部クラッド層23は、順番に形成され、バイアは受光素子デバイス28cの電極27まで形成される。上部メタライゼーション層は、図4の(b)に実線で示されているように経路30及びパッド32を得るため形成される。

【0036】図4の(a)のデバイスは、組み合わされた電極として示されているように指状の電極である。指状の電極の一方は、デバイスのチップの下面に形成される。本例の場合、下部電極への接点は、電極の一部を、ベース基板の表面(或いは、硬化層21の上)に形成された電気経路に拡散ボンディングすることにより作製される。高温アンダーフィル材料は、好ましくは、拡散ボンディングされる部品の下側のエアポケットを充填するため塗布される。エアポケットを充填するためコア材料を使用してもよい。

【0037】本発明で使用される受光素子は、組み合わされたタイプの素子には限定されない。例えば、サンドイッチ形の電極構造を使用してもよい。また、受光素子の下面、すなわち、光が入射する表面は光を受容する窓を備えた電極を含み、受光素子の上面は第2の電極を含む。図5の(a)及び(b)は、本発明による受光素子の別の好ましい実施例28c'を示し、図6の(a)及び(b)は、本発明による受光素子の別の好ましい実施例28c"を示す図である。これらの実施例は縦型受光素子に対する実施例であるが、この配置及び考察は横型受光素子にも同様に適用される。周知の通り、受光素子から電圧信号を出力するため負荷抵抗が必要である。図5の(a)及び(b)に示されるように、負荷抵抗29は電子光・受光素子628に一体化される。或いは、前置増幅器を、例えば、抵抗29の場所で電子光・受光素子628に組み込んでもよい。この場合、上側パッド32は、受光素子の裏側電極ではなく、増幅器出力に接続され得る。受光素子の裏側電極は増幅器入力に接続してもよい。図6の(a)及び(b)には、例えば、300nmの厚さと、3ミクロンの幅と、500ミクロンの全長とを備えた曲がりくねったNiCr膜を含む別の負荷抵抗29'が示されている。受光素子は、増幅器インピーダンス整合用抵抗又は負荷抵抗のような適当な電気回路が適当なデバイス動作のために必要とされる場合の一例であるが、より一般的には、適当な抵抗、コンデンサ、ドライバ、或いは、その他の回路が他の電気、若し

くは、レーザダイオードのような光電子デバイスを電源（又は、グランド、若しくは、他の電気及び／又は光電子デバイス）に接続するため必要とされる。図示された本発明の実施例の場合には、デバイス1個当たり2個の電極だけが示されている。しかし、一般的には、各デバイスは、非埋め込み型デバイスと類似した方法で複数の電源及び／又は信号電極を有する。

【0038】図7は、本発明による光電子相互連結基板10'の第2実施例の拡大斜視図である。相互連結基板10'は図1に示された基板10と類似し、1個乃至複数のICチップ1a-1dからの信号を光リンク及び電気経路の両方を用いて相互連結する光電子マルチチップモジュール（OE-MCM）基板の形をなす。図1の基板10と図7の基板10'において共通した素子には共通の参照番号が付けられている。一つの相違点として、基板10'は、基板10の光電子スイッチデバイス26a及び26bの代わりに発光デバイス36a及び36bを使用する。発光デバイス36は、基板10の光ファイバ4によって供給されるような外部光源を必要としないので、基板10'に光ファイバ4は必要とされない。発光デバイス36には、発光ダイオード(LED)、レーザダイオード(LD)、縦型共振表面放出レーザ(VCSEL)、量子井戸若しくは量子ドットデバイス(順方向バイアス条件下)、又は、他の発光素子が含まれる。

【0039】図8は本発明による発光デバイス36bの第1実施例の部分断面図であり、図9は導波路24hと関連した発光デバイス36bの上面図である。スイッチ26cと同様に、発光デバイス28cは活性層20に埋め込まれ、その下面是ベース基板12の表面と対向する。発光デバイス36bは、半導体のような発光材料の本体部636若しくはミニチップと、本体部636の上面及び下面に形成された2個の電極27とを含む。発光デバイス36bは、1個以上の側面から発光し、半導体材料内に形成された発光ダイオード若しくはレーザダイオードにより構成される。本例の発光デバイス36bは、別個に構成され、クラッド層21の上若しくは内部に設けられた電極の上に配置され、はんだ又は金属拡散プロセスを含む上記の粘着工程などによって導波路24a-24iを形成する前にクラッド層に接着される。これらの受光デバイスの作製法は従来技術において周知あり、本発明に関して、光子放出領域を半導体材料のミニチップの一方側に配置するため適合され得る。

【0040】作製中に、受光デバイス36bのクラッド層21への配置と、導波路24hのパターニングは、ベース基板12上のアライメントマークを用いて行われる。製作中に、装置36b又は光導波路24hのパターンは、アライメントマークに関して多少調整不良になるので、受光デバイス36bの光出力と導波路24hの光入力との間に調整不良が生ずる。このような調整不良を考慮するため、導波路24hの光入力は、図9に示され

るようフレア型、すなわち、外向きにテープが付けられる。調整不良がある場合、このテープによって受光デバイス36bからの光が導波路24hに入射されることが保証される。

【0041】この調整不良の可能性は、経路30から電極27にバイア接点を作製する場合にも問題になる。これは、バイア寸法に付加的な許容範囲を指定することによって（例えば、利用されるリソグラフィ及びエッチング工程によって制約される最小寸法よりも大きい寸法を使用することによって）解決される。或いは、バイア領域内で経路30及び電極27の形を延長し、延長された形状を90°の角度で交差させるように配置してもよい。

【0042】図10には本発明による発光デバイス36b'の第2実施例の部分断面図が示され、図11には導波路24hと共に発光デバイス36b'の上面図が示されている。発光デバイス36b'は、半導体ミニチップ（又はダイ）636に形成された縦型共振表面放出レーザ(VCSEL)638を含む。上記の発光デバイスの第1実施例で、光がミニチップの側面から発生されていたのとは異なり、VCSEL素子638は、ミニチップ636の上面に対し垂直向きの光を発生させる。基板636はコア層24の下側にあり、鏡639は、素子638の垂直光ビームを導波路24hに反射するため、すなわち、水平方向に沿って反射させるため、VCSEL素子638の正面に配置される。鏡639の表面は、好ましくは、素子の光ビームに対し45°の角度をなす。光導波路24hの一端は、VCSEL素子638の上にあり、基板表面の法線ベクトルに関して（好ましくは45°の角度で）傾斜角が設けられる。法線ベクトルは、ベース基板12の上面に垂直なベクトルである。傾斜は、基板表面の法線ベクトルに関して45°の角度で傾けられたレーザを用いるレーザ研磨によって実現される。反応性イオンエッチング(RIE)を使用しても構わない。感光材料が使用される場合には、傾斜したリソグラフ露光を使用してもよい。鏡639は、例えば、反射金属又は反射材料をこの領域の上に堆積させることによって、傾斜した表面上に構築される。反射金属の例には、銀(Ag)、アルミニウム(Al)、金(Au)、銅(Cu)、クロム(Cr)、タンクステン(W)、チタン(Ti)などが含まれ、反射材料の例には、二酸化チタン(TiO₂)、二酸化珪素(SiO₂)、アルミナ(酸化アルミニウムAl₂O₃)、酸化亜鉛(ZnO)、酸化クロム(Cr₂O₃)のような材料により構成された多層誘電体被覆物が含まれる。鏡639の角度は、コア層とクラッド層の屈折率の差に依存して45°から僅かな量だけ変化する。屈折率差が△n=0.02である場合に、±3°の最大角度ばらつきが許容される。屈折率差△nが与えられた場合、当業者は最大角度ばらつきを容易に計算することができる。本例で使用さ

れるように、角度45°。若しくは約45°の角度は、対応した Δn の値に対する角度許容範囲内のすべての角度を包含することを意図し、 Δn の値が0.02のときには、上記の±3°の角度許容範囲を有する42°から48°までの角度が包含される。鏡639の代わりに、光格子を使用してもよい。光格子は、交互に替わる屈折率 n_1 と n_2 を有する材料層の系列によって構成され、基板法線ベクトルに対し45°の角度で形成される。このような光格子は、導波路24hの端に一組の離間した切り欠き部を形成し、この切り欠き部を異なる屈折率を有する光材料で充填することにより作製される。45°の角度の切り欠き部の組は、感光性光材料を使用し、接近して配置された高強度光と低強度光の交互の領域を有する干渉パターンを発生させる光デバイスの中に露光照射を通過させることにより最も容易に獲得される。干渉パターンは、基板の法線ベクトルに対し約45°の角度で傾斜され、格子が形成されるべき領域上に集められる。鏡を用いる場合と同様に、小さい角度のばらつきは許容され、この許容範囲は光学技術の当業者によって屈折率から計算され得る。格子については、図23乃至26に示されたデバイスを参照して詳細に後述される異方性エッチング法によって形成される。

【0043】図10に示されるように、発光デバイス36b'は、クラッド層21の下にある材料層25bに埋め込まれる。発光デバイス36b'がベース基板12に確実に装着されるように、粘着性層25aが材料層25bを形成する前にベース基板12の上に形成される。層25a及び25bは、クラッド層21若しくはコア層24の材料を含む適当なポリマー性材料、通常のポリイミド材料、及び、紫外線硬化可能エポキシ材料により構成できる。同じ材料で構成する方が好ましいが、異なる材料でも構わない。発光デバイス36b'の電極27は、他の部品デバイスと共に、デバイスの下面に配置され、或いは、両面に配置されても構わない（いわゆる、対向電極）。この場合、下部電極は、ベース基板の表面に形成された電気経路に拡散ボンディングされる（或いは、硬化層25aに形成される）。高温アンダーフィル材料は、好ましくは、拡散ボンディングされた部品の下にあるエアポケットを充填するため塗布される。また、層25bの材料でエアギャップを埋めてもよい。VCSELが使用される場合に、縦型受光素子は、類似したプロセスを用いて埋め込まれ、図10及び11に示された構造と類似した構造を有する。

【0044】次に、基板10及び10'のための活性基板20を作製する方法の実施例について図12乃至19を参照して説明する。図12乃至19は、作製中の活性基板20の層の断面図である。図示された断面図において、光電子スイッチデバイス26及び受光素子デバイス28は互いに隣り合って形成され、図19に示されるように、光導波路は光電子スイッチデバイス26の光出力

から受光素子デバイス28の光入力に経路が作られる。

【0045】図12を参照するに、スイッチデバイス26の下部電極27は、従来技術において公知の通常の堆積及び光リソグラフ工程によって、ベース基板12の上面に形成される。電極27の形成に加えて、更なる処理工程のためのアライメントマークが形成され、或いは、これらのアライメントマークは電極27を形成する前にベース基板12の表面でエッチングされる。次の工程として、クラッド層21が、例えば、フッ素ポリマーをベース基板12の上にスピンドルコーティングすることにより形成される。部品28を装着するため、例えば、日立ケミカル社製のフッ素化ポリイミドOPI-N1005、ポリイミド、或いは、非溶剤（非気体）エポキシ材料のような粘着能力のある材料が層21として選択される。層21の厚さは、次の硬化工程による収縮後に、1μmから20μmの範囲に収まる。

【0046】受光素子デバイス28のような個別の光電子部品は、好ましくは、層21のフッ素化用溶媒が層21から完全に蒸発される前に、層21の上に配置され、層21に接着される。エポキシ材料のような非溶媒ベースの材料を層21のため使用してもよい。一般的に、エポキシ材料がポリイミド材料よりも低い温度で分解することは、後続の層の材料を選択するときに考慮されるべきである。層21は、フッ素化溶媒が存在するならばフッ素化溶媒を除去し、ポリマー材料の選択的な一部の架橋を行うため、ソフトなベーリング処理を施される。層21は、次に、例えば、熱、照射、時間若しくはこれらの組合せに晒すような材料組成に適当な工程によって硬化される。溶媒の蒸発は、個々の部品28の下にある溶媒の横型拡散を受容するように徐々に行われる。ある種のクラッド材料を用いることにより、個々の部品が配置される前に層21の表面を粘着性にさせるため、部分的なソフトベーリング工程が行われ得る。部分的なソフトベーリングは、セット部品（例えば、部品28）の下にあるフッ素化溶媒を横方向に拡散させるため必要な時間を短縮する。

【0047】配置された各部品（例えば、部品28）の裏面は、部品が層21のポリマー材料に接着し易くなるように接着工程の前にクロムで被覆される。ある種の場合に、クロム膜は部品の下部電極を形成するようペーリングされる。市販されている表面実装用機器、フリップチップボンディング用機器、或いは、カスタム用途アライナは、部品を配置するため使用できる。アライメントマークは、部品を配置する目的のため、個々の部品（例えば、部品28）及び／又はベース基板12の上に設けられる。或いは、個別の部品にアライメントマークを付ける代わりに、幾つかの部品、若しくは、部品が配置される基板部の幾つかのポイントにアライメントマークを作成してもよい。表面実装用機器、フリップチップ用機器、若しくは、カスタム用途アライナは、±2μm

乃至±5 μmの範囲内で部品を配置することができる。

【0048】上記の通り、個々の部品（例えば、部品28）の厚さは、好ましくは、非常に薄く、例えば、1 μm乃至20 μmのオーダーである。このように薄い光電子部品は、文献：Yablonovitch, "Vapor Phase Epitaxial Lift-off Process of GaAs", the Fall Materials Research Symposiumに記載されている気相エピタキシャルリフトオフプロセスを用いて製作される。液相エピタキシャルリフトオフ又は研磨のような他のプロセスも使用できる。エピタキシャルリフトオフ（ELO）プロセスは、GaAs（ガリウム砒素）とAlAs（アルミニウム砒素）との間、或いは、GaAsとAl_{1-x}Ga_xAs（アルミニウム・ガリウム・砒素）との間のエッチングの差が非常に大きい点が有利である。GaAs基板から始めて、AlAsの層がエピタキシャル成長（例えば、MBE（分子線エピタキシャル成長）、OMVPEなど）によって上面に形成される。GaAsとAl_{1-x}Ga_xAsの層は、次に、エピタキシャル成長によってAlAs層に形成される。光電子デバイスは、電極及び上部パッシベーション層と共に上部GaAs層に形成される。本発明の実施例の場合には、後述のように研磨ストップ層がパッシベーション層の上部及び電極に形成される。この時点までに、電極は必ずしも必要ではない。電極は、デバイスがクラッド層21に取り付けられた後の工程で形成され、被覆されたポリマー膜23及び24が硬化されてもよい。次に、デバイスを個別の部品若しくは個別のアレイチップ（複数のデバイスを収容するチップ）に分離させるため、深いトレンチが上部GaAs層に形成される。このようなアレイチップは、多数の信号が一括してグループ化され、光スイッチデバイス（又はエミッタ）のバンクから受光素子のバンクに配達される光バスを実現する際に有用である。支持用基板として、マイラー（Mylar(R)）のようなポリマー膜、ガラス、或いは、水晶が、アレイチップを含むGaAs部品の上面に層状にされる。基板の全体は、AlAs層を横方向に食刻加工するフッ化水素酸エッティングを受け、GaAs及びAl_{1-x}Ga_xAs部品（例えば、ミニチップ）が、（ポリマーが支持用基板として使用されているとき）ポリマー膜に装着されたままGaAs基板から解離される。これらの部品は、ポリマー膜から切り取られ、或いは、使用されるまでポリマー膜に保持される。ポリマー膜に保持される場合、層21は、層状ポリマー膜よりも粘着性の強い接着力が得られるポイントまでソフトベーリング処理され、部品が粘着性層21に押しつけられたとき、部品は、層状ポリマー膜が引き離されたときに層21上に保持され、ポリマー膜から離れる。代替策として、担体膜に装着されたままのエピタキシャルデバイスの露出した下面に金属を堆積させてもよい。対応した金属パッドが硬化層21の上に形成され、エピタキシャルデバイスは、拡散ボンディング、AuSn

ボンディング、AuInSnボンディング、AuInボンディング、Pdボンディング又は他の類似したボンディングプロセスによって対応した金属パッドに取り付けられる。寸法的な安定性は、ガラスのような硬い基板が支持用基板のために使用される場合に改良される。

【0049】類似したエピタキシャルリフトオフプロセスは、AlAs層の代わりに中間SiGe（シリコンゲルマニウム）層を使用するシリコン（Si）基板のため、SiGeとシリコン（Si）との間で差異を生ずる腐食液を使用することにより開発される。これにより、シリコンチップに対し高歩留まりのエピタキシャルリフトオフプロセスを実現することができる。

【0050】次の処理工程では、コア材料の層が個々の部品（例えば、部品28）の上に形成され、得られた表面は、より平坦な表面を得るために研磨工程に渡される。好ましい作成法の実施例では、研磨工程は、個々の部品（例えば、部品28）の電極の上に重なるコア材料のバーツを除去し、電極27の上面を露出させる。この目的のため、電極27は、好ましくは、一般的に必要とされる高さよりも高い初期高さを有し、研磨工程によって磨かれて低くなる。また、電極27は、好ましくは、2層以上の金属サブレイヤからなる複合構造を有し、一方のサブレイヤは、タンゲステンのような研磨ストップ材料により構成される。図12に示された例の場合に、電極27は、銅の下部サブレイヤ27xと、タンゲステンの中間サブレイヤ27yと、銅の上部サブレイヤ27zとを含む。タンゲステンサブレイヤ27yは、0.1 μm乃至1 μmの範囲の厚さを有し、銅サブレイヤ27x及び27zは、2 μm乃至20 μmの範囲の厚さを有する。ポリマー硬化中に、銅の拡散を減少させるため、銅の上面は拡散バリア層（例えば、チタン若しくはニッケル層）によって覆われる。金Auのような他の金属を銅Cuの代わりに使用してもよい。ポリマー硬化中の金属拡散を減少させるため、ニッケル層若しくはチタン層のような拡散障壁層が使用される。研磨剤としてアルミナ粒子を含むスラリの場合、銅はタンゲステンよりも速い速度で研磨される。

【0051】層21が硬化された後、或いは、層21がソフトベーリング処理されてから硬化されるまでの時間に、層21は下部電極27へのビアを形成するためバーニングされる。このバーニングは、バイアアーチャをレーザ穴あけ加工し、次に、例えば、銅のような導電性材料でアーチャを充填することにより実現される。バイアの位置は図12において「バイア」として示されている。レーザ穴あけ加工の代わりに、バイアアーチャは、層21に形成されるべきアーチャに対応したアーチャを用いて写真リソグラフ的にバーニングされた厚いフォトレジスト層を貫通するエッティングによって形成される。層21が硬化された場合、ドライエッティングの方が好ましく、ウェットエッティングは、一般的

に、ソフトベーリング処理され、硬化されていない層21と共に使用される。後述の通り、層21内のバイアは更に後の工程で形成してもよい。

【0052】層21内のバイアアーチャは、導電性材料（例えば、銅）のスパッタリング、化学気相堆積（CVD）法及び導電性材料のめっきを含む多数の従来の堆積法によって導電性材料を充填してもよい。無電解めっき、直接めっき（電解めっき）及び化学気相堆積は、基板全体に材料を堆積させることなくバイアアーチャを充填するため使用される。無電解めっきは、非常に時間がかかる。他の方法は、表面全体に亘って導電性材料を堆積させ、望ましくない領域内の材料をエッティング処理で除去する。このような材料の一様な堆積を行う前に、次のエッティング処理によってこれらの部品、特に、金属電極が損傷されないように、配置された部品（例えば、部品28）をフォトレジスト材料の保護パッチで被覆することが推奨される。電解めっきが使用される場合に、導電性シード層は、めっき電流用の導電性バスを作成するため最初に層21上でスパッタリングされる。シード層は、一般的に、薄いクロム粘着性層（例えば、200オングストローム）と、次のより厚い銅層（例えば、2μm）とにより構成される。余分な導電性材料は、充填されたバイアアーチャの上にマスク用キャップを使用する通常の化学エッティングによって除去される。マスク用キャップは、フォトレジストの層を新たに堆積された銅層の上に被覆し、次に、フォトレジスト層をパターン露光し、現像することによって簡単に形成され得る。余分な銅（及び、すべてのシード層）がエッティング処理で除去された後、マスク用キャップは適切なストリッパ若しくは溶媒によって除去される。上記のバイア形成工程は、本例で説明される他の誘電体層及びポリマー層にバイアを形成するためにも使用される。

【0053】図13を参照するに、スイッチデバイス26用の電子光材料626は、層21と個別の部品（例えば、部品28）の上に形成される。電子光材料626の層は、材料の一部（本体部）をスイッチデバイス26が形成されている場所に残しておくようにパターンニングされる。この残された部分は、典型的に、材料の経過部分であり、スイッチデバイス26のために使用される電子光材料626の本体部の最終的なパターンとは異なる。例えば、この残された部分は、（ベース基板12の上面から見た場合に）略矩形状の部分であり、スイッチデバイス26のために実際に使用される電子光材料626の本体部を取り囲む（図20を参照のこと）。次の工程は、典型的に、この電子光材料の部分の最終的なパターンニングを行う（図21を参照のこと）。この電子光材料626の層の中間的なパターンニングは、任意の数の従来のパターンニング技術によって行われる。電子光材料626は、写真画像形成可能である場合に、パターンニングされ、化学線照射に露光され、現像される。写真画像形

成が可能ではない場合に、フォトレジスト層は電子光材料626の層の上に形成され、フォトレジストは、保持されるべき電子光材料626の経過部分を被覆するエッチマスクを残すようにパターンニングされる。ウェット及びドライの両方のエッティング工程は、不必要的部分を除去するため使用することができ、ドライエッティング工程は非等方性であり、より鋭い垂直壁を与えるので、ドライエッティングの方が好ましい。プラズマドライエッティング技術を使用してもよく、フォトレジスト層は、その厚さの一部がエッティングプロセスの最後まで保持される限り、ドライエッティングプロセス中に失われる。

【0054】図13では、好ましくは、実現可能なパターンニング方法の更なる実施例が使用される。具体的には、厚さが0.1μm乃至1μmのタンクステン層は電子光材料626の層の上に形成され、このタンクステン層は、保持されるべき電子光材料626の部分のためタンクステンエッチマスク627を残すようにパターンニングされる。このパターンニングは、タンクステン層627上にフォトレジスト層を形成し、不要なタンクステンを露光すべくフォトレジスト層をパターンング、現像し、例えば、過酸化水素溶液を用いて不要なタンクステンをエッティングすることによって行われる。図14には、電子光材料626の層のパターンエッティングの結果が示されている。タンクステンエッチマスク627は、後続の研磨工程において、電子光材料626の保持された部分を保護する研磨トップ層として使用されるので、二つの目的のため役立つ。タンクステンの代わりに他の材料を使用してもよく、かつ、本発明の作成方法はタンクステンの使用には限定されないことが認められる。例えば、他の金属、堆積した二酸化珪素、及び、堆積した窒化珪素を使用してもよい。エッチマスクは、必要に応じて、電子光材料の電子光係数を増強するためポーリング用電極として使用される。

【0055】スピンドルコーティング、CVD、又は、MLDによって電子光材料626の一部を形成する代わりに、電気光特性若しくは電子吸収特性を有する半導体材料のチップを配置してもよい。例えば、AlGaAsとGaAsの交互の層（又は、InGaAlAs（インジウムーガリウムーアルミニウムー砒素）、若しくは、InGaAsP（インジウムーガリウムー砒素ーリン）など）を含む多数の量子井戸デバイスは、印加された電位差の関数として反射率を変化させる。これらのチップは、上記のエピタキシャルリフトオフプロセスによって作成してもよく、部品28が層21に配置されるときに同時に層21に配置してもよい（同時配置でも順次配置でも構わない）。この可能な例は、図12において、材料626'からなるチップとして破線で示される。本例の場合、図13に示されるポリマー性電子光材料626の層を被覆する工程は、同一活性基板10上で材料626と材料626'を共に使用する場合を除いて、被覆さ

れた材料626を画成、硬化させる工程と共に省くことができる。研磨トップ層627は、好ましくは、配置される前に、好ましくは、チップ626'の上に形成される。層627は、チップ626'の最終的な形状を画成するためパターニングされ、半導体チップは、コア層が形成される前に、パターニングされた層627の下にはない半導体の一部を除去するようエッチングされる。このチップ626'の処理は、図14乃至21に関して説明される工程に対して同一である。

【0056】図15を参照するに、次の工程では、光コア材料の層24をクラッド層21と個別の部品（例えば、部品28）と材料626の電子光部（又は電子吸収部）の上に形成する。この目的のため、スピンドル工程が使用され、コア材料は、溶媒を用いてフッ素化された（粘性流体状の）ポリマー材料により構成される。この点に関して、上述の通り、フッ素化コア材料は、例えば、日立ケミカル社製のフッ素化ポリイミドOPI-N3405により構成される。低温処理の場合、紫外線硬化可能なエポキシは有用である。層24は、次に、フッ素化溶媒を除去するためソフトベーリング工程で処理され、次に、その材料組成に適した硬化工程、例えば、熱、照射、時間若しくはこれらの組合せの工程で処理される。コア材料、クラッド材料、及び、電子光材料のソフトベーリング並びに硬化処理のためのガイドラインは、製造元によって与えられる。層24の厚さは、好ましくは、部品ミニチップ（例えば、部品628）の厚さ、若しくは、電子光材料626の一部の厚さのいずれか小さい方の90%以上であり、より好ましくは、ミニチップ及び電子光材料626の一部よりも厚い。最初に形成され硬化された層24の典型的な厚さは、30μm未満であり、より典型的には、3μm乃至20μmの範囲内に収まる。

【0057】図16を参照するに、基板の表面は表面がより平坦化するよう研磨される。研磨工程は、電子部品26及び28と重なる層24の部分を除去するが、光導波路が画成される下にある領域内の材料を保持する。研磨工程は、屡々、特に、最初に形成され硬化された層の厚さが光電子デバイスの厚さよりも大きいときに、下にある領域内の層24の厚さを小さくさせる。

【0058】平面性は、局在化領域に広がり、領域内の表面トポロジーの中間高さ若しくは平均高さを通る平坦な（若しくは、徐々に湾曲する）幾何学的平面に対して定義される。この平面性は、幾何学的平面からの表面トポロジーのばらつきの測定量である。この測定量は、多様な方法で数学的に定義され、最も典型的（最も簡単な）測定量は、局在化領域内における幾何学的平面からの高さのばらつきの最大値である。場合によっては、下にあるベース基板12は僅かに湾曲した表面を有し、完全に平坦ではない。この場合、平面性の概念は、着目中の局在化領域内で下にある基板の輪郭を追跡する湾曲し

た表面を有する幾何学的平面を使用することによって適用される。本発明の実施例では、一般的に、1辺が2cmの表面積（すなわち、4cm²）に亘って幾何学的平面からの高さのばらつきの最大値が0.5μmを超えないことが求められる。

【0059】良好な局所平面性を得るため、柔らかい研磨用パッド、若しくは、硬い外側パッドと柔らかい下側パッドとを含む2重パッド構造を使用してもよい。研磨パッドの選択は当業者の技術で公知である。上記の通り、タンゲステン研磨トップ層は、種々の部品を保護するためその部品上で使用される。この点に関して、研磨トップ層としてのタンゲステンの有効性は、リン酸をスラリに添加することによって高められ、銅及び最もポリマー性材料の研磨速度に大きい影響を与えない。この目的のため、スラリのpHを2と4の間の値まで低下させる量のリン酸が添加される。最後に、研磨工程では、電子光材料626の中の幾つかの「ダミー」部分が、上に重なる研磨トップ層627と共に、光導波路若しくは光電子デバイスが存在しない領域でベース基板12の表面上に分布されることに注意する必要がある。このようなダミー部分は図21の左下隅に示されている。ダミー部分は、決して活性部品として使用されないが、研磨トップ層627の総表面積を増加させることにより研磨工程の「ディッシュティング」現象を低下させるため機能する。ここで、「ディッシュティング」とは、付近の研磨トップ領域若しくは高いスポットの不足に起因した研磨動作によって、局在化された窪みが表面に形成される状況を表わし、ディッシュティング効果は硬いパッドよりも柔らかいパッドの方が大きい。

【0060】図16に示されるように、次の製造工程では、先に層21を通して下部電極27まで作成されたバイアに達するまで層24を通るバイアが形成される。このバイアは、例えば、レーザ若しくはプラズマエッチ処理を用いてバイアアーチャをエッチングし、次に、層21内のバイアの形成に関して説明した上記のいずれかの充填工程を使用して導電性材料でアーチャを充填することにより形成される。先の層21内のバイアの形成は、層24内のバイアが形成されるまで遅らせてもよく、層21及び層24のバイアは単一のバイア形成処理によって同時に形成しても構わないことがわかる。また、層24が研磨される前、若しくは、層24が硬化される前に、層24内でバイアを形成することが可能である。

【0061】図17を参照するに、次の工程は、選択的であり、余分な導電性材料を層24に形成されたバイアの上面から除去する第2の研磨工程を含む。この研磨段階は、比較的簡単であり、余剰物をすべて除去する必要はない。次の工程として、研磨トップ層627と、選択的に研磨トップ層27yは、この層を適当な腐食液に晒すことによって除去される。タンゲステン研磨スト

ップ層は、過酸化水素水によって容易に除去されるので、銅製のバイア或いは殆どのパリマー性層に損傷を加えない。次の工程では、光導波路が層24に画成される。これは、各導波路の両側に沿って存在し、光入力として使用されない光電子デバイスの側面の境界を定める層24の部分624を除去することにより行われる。図20にはコア層24の部分624が除去される前の活性基板20の上面図が示され、図21には3個の光導波路24j-24lを画成するため部分624が除去された後の活性基板20の上面図が示されている。層24の除去された部分の下にある層21の部分は図21に示されている。この工程の一部として、電子光材料626の区画は、スイッチデバイス26の最終的なY型分路形状が得られるように2回パターニングされる。層24及び電子光材料626の一部のパターニングは、維持されるべき層24及び電子光材料の一部の上に設けられたパターニングされたエッチマスクを使用するドライエッチング処理と同時にてもよい。ウェットエッチング処理を使用しても構わない。一般的に、電子光導波路セクション626の幅と、導波路24j-24lの幅は、必ずしも一致しない。ガリウム-砒素(GaAs)のような第III-IV族の化合物がセクション626として使用される場合のように、電子光導波路セクション626の屈折率がコア層24の屈折率よりも実質的な量だけ大きいとき、電子光導波路セクションの幅を拡大若しくは縮小し、導波路24i-24lと当たる場所でそのセクションの幅の寸法を徐々に細くすることが望ましい。これにより、屈折率の異なる二つの材料内で伝搬する光のビーム幅が適当な寸法に保たれるので、二つの異なる材料の間の境界での反射が減少する。

【0062】次の工程として、クラッド材料の層23が層24と下部クラッド層21の露出した領域の上に形成される。これにより、光導波路24j-24lの側面はクラッド材料で覆われる。この処置の結果が図18に示されている。クラッド材料は、除去された部分624の上部まで完全ではないが実質的に全部に亘って充填される。層24の除去された部分624の上に重なる層23の表面には小さい窪みがある。これらの窪みは、一般的に、少しずつ滑らかに形成されるので、金属ラインは破断することなく窪みの上に形成される。窪みのサイズを小さくするか、若しくは、窪みを除去したい場合、以下の工程が行われる。再度、図16及び17を参照するに、研磨トップ層は部分624の除去中に正しい位置に保たれ、クラッド材料の第1の層23が表面の上に形成されるときに正しい位置に保たれる。この第1の層は、次に、平坦化され、研磨トップ層が露出されるように研磨される。次に、この研磨トップ層は除去され、クラッド材料の第2の層が基板の上に形成される。

【0063】光導波路を画成する工程では、以下の更なる変形例を実施してもよいと認められる。第1の変形と

して、電子光材料626の第1のパターニングがその材料に対する最終的なパターニング処理画像を使用する場合、電子光材料626の一部をパターニングする第2のパターニング工程は無しで済ませてもよい。Y分路の形状の寸法は調整不良の可能性を考慮して拡大される。2工程のパターニングを用いる利点は、電子光材料626と層24の両方をパターニングするため第2のエッチング工程を使用することにより、スイッチデバイス26のY分路形状と光導波路24j-24lとの間で完全なアライメントが達成されることである。

【0064】第1の変形例と共に使用される第2の変形例として、光を限定可能な(すなわち、光反射性の)コア材料を使用してもよい。このような材料は、一般的に365nm乃至400nmの範囲の波長を有する光である化学線照射により変更される初期屈折率を有する。本例の場合に、最初に堆積される材料は低屈折率を有するので、初期にはクラッド層として作用する。この層は、次に、導波路が配置されるべき領域で屈折率を高めることにより光導波路を定義するため照射でパターン露光される。このパターン露光は、導波路の側面をクラッド材料で自動的に包囲させる。活性基板20が完成し、相互連結デバイスとして使用されるとき、光導波路は、一般的に、光導波路を画成するため使用された光よりも短い波長を有する光(一般的に、600nm乃至1.6μmの範囲の光)を伝搬する。層24が形成される前に電子光材料626が最終的な形状にパターニングされたとき、光を限定可能なコア材料を層24のため容易に使用することができる。しかし、導波路が光を限定するようにされた後に電子光材料626をパターニングするため、余分な処理工程が追加される。また、一部の電子光材料は、光を限定可能な特性を備えるため組成が変更される場合がある。光を限定可能な電子光材料の例は、McFarland他に発行された“Method for Forming Optically Active Waveguides”という発明の名称の米国特許第5,541,039号に記載されている。一般的に、材料が光を限定できるようにすることは、化学線照射への露光量に応じて屈折率を変化させる方法を見つけることにより実現される。この変化は、化学線照射に露光される量に応じて材料の化学的変化及び/又は濃度変化を生じさせることにより実現される。

【0065】図15に示されたコア層被覆工程において、選択的なクラッド層をコア層の上に被覆することができる。コア層が(部分的若しくは完全に)効果された後、選択的クラッド層は被覆され、次いで、柔らかい完全な硬化が行われる。コア層の厚さが光電子デバイスの(上部電極を含む)高さよりも少しだけ低いとき、研磨された表面はクラッド層内に含まれ得る。この場合、選択的クラッド層は、研磨工程が行われる前に、コア層の上に形成される。この2層によるアプローチは、コアと層の間の境界面の平坦さを改良し、光学的損失を低下さ

せる。また、光学的な場の強度はクラッド層の方で僅かに小さいので、コアとクラッド層の境界にCMP表面を形成する場合よりもインタフェース散乱損失が低減される。コア層の厚さは、上部金属を除く光電子デバイス／材料の厚さと同じ程度、若しくは、それ以下になるよう選択される。本例の場合、上部金属の厚さを調節することにより、光クラッド層の厚さが調節され得る。別のアプローチは、コア層若しくは上部クラッド層のいずれの層でもCMP処理を行わない方法である。

【0066】光照射によって硬化された受光素子材料を使用する場合、CMP処理を行う必要はない。図15に示された工程の後に、導波路パターニングは、コア層が適切な厚さで、すなわち、上部層を除く光電子デバイス／材料の高さと同じ程度、若しくは、その高さ未満まで被覆されている場合に、パターニングされた光照射によって簡単に得られる。更なるプレーナー化層及び処理工程は、必要であるならば、オーバークラッド層が形成された後に適用される。

【0067】図19を参照するに、最後の工程で、クラッド層23を通過するバイアが形成され、スイッチ26用の上部電極27、電気経路30、及び、相互連結パッド32が形成される。バイアアーチャは、硬化する必要があるならば層23が硬化される前後の何れかに、多数の通常の方法で層23内に形成される。このような方法には、レーザ穴あけ加工、及び、フォトリソグラフィ式に画成されたエッチマスクを使用するウェットエッチング若しくはドライエッチングが含まれる。バイアアーチャが形成された後、バイアは上記の従来の何れかの充填方法を使用して導電性材料で充填される。材料は、好ましくは導電性材料であり、例えば、銅は最も好ましい金属の中の一つである。処理工程を削減するため、スパッタ堆積法、若しくは、スパッタリングされたシード層を利用する一様な電気めっき法を使用して、層23の表面全体を導電性材料で被覆することが好ましい。一様な被覆を行うことにより、フォトリソグラフィ的に画成されたエッチマスクを使用するエッチング工程によって、電気経路30及びパッド32を画成するため後続のエッチング工程を使用することができる。エッチマスクは、エッチング工程中のバイアを保護するためバイアを覆う。或いは、シード層を層23の表面全体と、バイアアーチャとの上にスパッタリングしてもよい。通常のフォトリソグラフィ的な工程によって、バイア、経路、パッドが形成されるべきではない領域の上にめっき用マスクを形成することができる。その結果として、露光されたシード層の一部は、バイア、経路及びパッドの場所の上に重なり、露光された部分は、バイア、経路及びパッドを形成するようめっきされる。めっき後、めっき用マスクは除去され、めっき用マスクによって予め被覆されていたシード層の部分を除去するため簡単な一様なエッチングが行われる。従来技術において公知の如く、ポリ

マー層の上に金属層を形成するとき、金属層を形成する前に、最初に粘着層をポリマー層の上にスパッタリングすることが望ましい。200オングストローム乃至400オングストロームの厚さのクロム層がこの目的のため使用される。粘着層は金属材料とポリマー材料の両方に良好に接合する。

【0068】幾つかの処理工程を追加することにより、図10に示されたVCSELデバイス36b'を上記製造工程に組み入れる。第一に、クラッド層21が形成される前に、粘着層25aがベース基板12の上に形成され、VCSELデバイスが層25aに接着する。エピタキシャルリフトオフを含むVCSELデバイスの上面は、層25aに接着される前に、0.1μm乃至1μmのタンゲステンのような研磨ストップ層で被覆される。層25aはソフトベーリング処理され、硬化される。上述の如くデバイスを層25aに接着させるのではなく、金属層がVCSELデバイスの下面に堆積され、デバイスは、種々の金属ボンディングプロセスによって基板12の表面に形成された金属パッドに粘着させられる。次に、材料層25bは層25aの上に形成される。材料層25bがフッ素化ポリマー材料を含む場合、ソフトベーク処理され、硬化される。このプロセス基板は、VCSELデバイスの上に重なる層25bの部分を除去するため研磨される。(タンゲステンの)研磨ストップ層は、研磨工程中にVCSELデバイスを保護する。研磨工程後、研磨ストップ層は除去される。製造工程は、上記のクラッド層21の形成から始まる手順を進める。図10に示された鏡639は、層24が形成された後にいつでも形成することができ、通常は層23が形成された後に形成される。既に詳述したように、鏡は、放出層638の上に重なる領域で層24を45°の角度で切断し、反射金属若しくは屈折金属の層を形成することにより得られる。また、金属形成されたVCSELの代わりに、非金属被膜化VCSEL(すなわち、電極を含まないVCSEL)を使用してもよい。電極形成及び他の半導体製造プロセスは、上側クラッド層が上側及び下側処理によって形成された後に行われ得る。この場合、CMPストップ層として、金属層25bの表面に被覆されたタンゲステン(W)層がVCSEL上の電極の代わりに使用される。VCSELと鏡を一体化するため使用された同一の基本処理工程が縦型受光素子を製造するため使用されるので、好ましくは、上記の例で縦型受光素子が製造される。

【0069】上記作製例において、個々の構成部品は、表向きの配置でクラッド層21(又は、VCSELデバイスに対する層25a)に接着される。しかし、これらの個別の構成部品は、以下の変更を加えることによって裏返しの向きで配置してもよい。部品28の場合に、層27は部品28からの接続パッドを含むようにパターニングされ、部品28は金属拡散ボンディングによって接

続パッドに接続された電極を有する。その前に、クラッド層21は下部層27の接点を露出させるようにパターニングされる。部品28がこのように接合されると、エアーポケットを防止するための高温アンダーフィル材料は部品28の下に設ける必要がなくなる。バイアは、部品28の電気接続を完成させるため層27内の経路まで作成される。このようなバイアの形成については既に説明した通りである。

【0070】部品28を裏返して基板に配置することは、部品28が上記エピタキシャルリフトオフ工程によって形成された場合に以下の利点がある。すなわち、GaNウェーハから部品を除去するため使用されるAlGaNエッチング工程は、部品がクラッド層21上に裏返しに配置されるまで遅延される。基板412上の配置後、AlAsエッチング工程は、バルクGaN基板を、部品を収容するエピタキシャル層から分離するため実行される。かくして、GaNバルク基板は配置工程中に光電子部品を支持する機能を提供するので、そのためにポリマー膜、ガラス基板、或いは、他の基板を用いる必要が無くなる。GaNウェーハ全体は、クラッド層21に裏返しに配置され、或いは、GaN基板は、最初に、個別の部品を互いに分離するためダイシングされても構わないことがわかる。別の利点は、デバイスが導波路形成プロセスの後に埋め込まれることである。これにより、金属拡散の量とデバイス劣化とが低減される。VCSELデバイスの場合に、これらの工程は、層25aと、層25bの下に形成された金属層とを用いて行われる。

【0071】薄膜デバイス統合体を導波路と一体化する別の処理は、図83乃至90に記載されている。図83に示されるように、エピタキシャル導波路光電子層は、GaN基板上で成長し、メタライゼーション処理され、複数の光電子デバイス620を画成するためパターニングされる。GaN導波路コア層は、屈折率が急激に変化するが、好ましくは、スポットサイズ変換レーザダイオードのため使用されるような徐々に小さくなる（例えば、光の伝搬方向に沿ってコア状をなす）屈折率を有するpin導波路コア層を有する。エピタキシャル膜は、多数の量子化井戸若しくは量子化ドット構造を使用することによって、電子吸収性光変調器、電子光学光変調器、受光素子、光ゲートデバイス、光スイッチ、波長フィルタ、チューナブルフィルタ、波長変換器などを構成する。金属接点層は、Au接触層と共に表面上に堆積され、必要に応じて、タングステンの表面膜が後の処理工程のためCMP工程を停止させる。上部電極及びエピタキシャル層は、次に、通常のパターニング技術を用いてパターニングされる。

【0072】図84に示されるように、デバイス620を含むエピタキシャル薄膜は、エピタキシャルリフトオフによって支持用トランスマスター基板（ガラス、推奨、

マイラー、或いは、その他の基板）に移される。エピタキシャルリフトオフ膜と支持用基板との間の粘着は、例えば、ベースライン（Vaseline）若しくはブラックワックス、又は、エポキシ、ポリイミド、ボンディングシート、熱可塑性物質、或いは、導電性接着剤のような接着剤によって行われる。

【0073】図85に示されるように、半導体基板がリフトオフされた後、エピタキシャルリフトオフデバイス620は、ガラス、水晶、Si、Al、AlN、或いは、他の様々な基板材料から作られた基板12に設けられた下側クラッド層21の上に移される。エピタキシャルリフトオフデバイス620は、ファンデルワールス力及び粘着性ボンディングを含む従来より公知のメカニズムを利用して、下側クラッド層21に取り付けられる。金属パッドがクラッド層の上に形成された場合、拡散ボンディング、はんだボンディング、トランジエントリキッドボンディング（TLD）、配線相互連結技術（WIT）は、エピタキシャルリフトオフデバイス620を取り付けるため使用され得る。本例の場合に、エピタキシャルリフトオフデバイスの表面は、図91乃至98に関して説明される例に示されるように金属で被覆される。

【0074】エピタキシャルリフトオフ区画のpin型導波路に光学的に結合される3次元導波路を形成するため、コア層24及びクラッド層23は、図86に示されるように、上記の液体ポリマー被覆工程を使用して連続的に形成される。コアの厚さをpin型半導体膜の厚さと同等若しくは半導体膜の厚さ未満に調整し、pinコア層への強い光結合を実現することが望ましい。しかし、エピタキシャルリフトオフ区画のエッジ付近でのコアの厚さの僅かな非一様性及び/又は変動は、光伝搬の効率を著しくは劣化させない。CVD、MLD、蒸着ポリメタライゼーションのような気相堆積法を用いることにより、変動の強度（すなわち、非一様性）は低減され得る。必要に応じて、堆積したコア層24の表面は、表面の滑らかさ及び一様性を高めるためCMPによって平坦化される。CMPは、エピタキシャルリフトオフデバイス620の上部のタングステン（W）膜によって停止される。

【0075】図86に示されるように、上側クラッド層23はコア層24の上に被覆され得る。これにより幾つかの利点が得られる。一つの利点は、コア層を光電子デバイスの高さと一致させるか、或いは、僅かに厚くすることができ、設計の自由度が大きくなることである。また、クラッド層23は光散乱の損失が抑えられたより均一な境界面を有する表面まで研磨されるので、導波路損失は少なくなる。例えば、コア層24の上に堆積された比較的厚いクラッド層は、光学的に滑らかな表面まで逆向きに容易に研磨することができる、また、光学的な場の強度は典型的にコア層24よりもクラッド層23の方で小さいので、クラッド内の研磨表面における光損失

は、CMP研磨表面がコア／クラッドの境界面にある場合よりも減少される。コア層24が硬化された後、選択的な上側クラッド層23は被覆され、次に、ソフトかつ十分に硬化される。コア層24の部分的な硬化は、コアとクラッド層の間の粘着強度を増加させるので望ましい。

【0076】図87に示されるように、コア層24は、細長い導波路の形にパターニングされ、次に、図88に示されるように別のクラッド層23'が細長い導波路の周辺に形成される。バイア及び電極27は、図89に示されるように電子光デバイス620まで形成され、次に、下側クラッド用基板12が別の基板に移され、図81に示されるように下部電極27及びバイアを作製するため裏面処理が行われる。しかし、基板及び下側クラッド層21のメタライゼーションが薄膜デバイスの取付前に行われる場合、基板除去及び裏面処理は不要である。活性層は、基板を除去する前に別の層若しくは基板に取り付けられる。これは、寸法上の安定性を得るために好適である。必要に応じて、バッファポリマー層613が基板とクラッド層との間に介挿され、メタライゼーションは、図91乃至98による実施例で行われるようにバッファ層613及びクラッド層まで施される。図91乃至98に示された実施例の場合に、デバイスの分割は、エピタキシャルリフトオフ及び金属被覆の後に行われる。

【0077】図91乃至98には、デバイスの電極による光散乱を減少させるためコア層の厚さがデバイスの厚さよりも厚くされる別の実施例が示されている。エピタキシャルリフトオフデバイス620'は、図93に示されるように、基板12に形成されたパッドに取り付けられ、基板12はバッファ層613と誘電体スペース層614の上に形成される。スペーサ層614は、クラッド層21と同じ材料から作製してもよい。クラッド層21は正しい位置にあるデバイス620'を用いて形成され、次に、コア層24が形成される。得られた構造体は図94に示されている。一部の歪みがエピタキシャルリフトオフデバイス620'のエッジ周辺に配置された短い領域内でコア層24に生じる。このためある種の光学的損失が生じるが、全体的な光損失は散乱長さが短いために小さい。図91乃至98に示された実施例では、これを取り扱うため、CVD、MLD、蒸着メタライゼーション、或いは、他の気相堆積法は、コア層の滑らかさが改良されるようにコア及び下側クラッド層を形成するため使用される。

【0078】次に、図95に示される如く、コア層24は上記のいずれかの方法を用いてパターニングされ、次に、図96に示される如く、クラッド層23が被覆される。図97には、既に説明したように形成されたバイア及び電極が示されている。デバイスは基板12から除去され、図98に示されるように適当な部品に取り付けら

れる。デバイスは、適当な部品に取り付けられた後、基板12から取り外される。

【0079】図83乃至90、及び、図91乃至98に関して説明したように、活性デバイスのエピタキシャルリフトオフ区画のコアの厚さは、好ましくは、他の部分の厚さよりも厚い。これにより、高い電界強度が低い動作電圧で得られる。さらに、図74に示されるようにエピタキシャルリフトオフ光コアの幅が縮小される場合、容量が低減される。この結果として、高速デバイス動作が容易に得られる。

【0080】図90及び図98には、エピタキシャルリフトオフ電極に接続されたバイアが示されているが、他の接続方法を使用してもよい。特に、エピタキシャルリフトオフ電極に接続された電極を直接形成することも可能である。上記のプロセスには多数の変形例が考えられる。図86乃至88をもう一度参照するに、光照射によって硬化された感光材料が使用される場合、CMPは必ずしも必要ではない。その結果として、コア層が被覆された後、コア層が適当な厚さで被覆されている場合、パターン露光によって導波路パターニングが容易に行われ得る。平坦化は、必要であれば上側クラッド層が形成された後に実施される。メタライゼーションのシーケンスも変更される。例えば、CMPの前に、~3000オングストロームn厚さのタンゲステン膜をクラッド表面に堆積させることにより、CMPはタンゲステン膜をCMPトップ層として用いて行われ得る。この場合、Au上のタンゲステン膜は不要である。また、図83乃至98に示されたプロセスに対し、薄膜デバイスの電極は、上側クラッド層の形成後に作製され得、本例ではエピタキシャル層である薄膜デバイスは、クラッド層21に取り付けた後にパターニングされ得る。これによって、コア及びクラッド層の硬化中に生ずる金属拡散問題が回避される。これらの工程については、図66乃至77、及び、図12乃至21を参照して後述される。

【0081】上記実施例では一つのエピタキシャルリフトオフ技術について説明しているが、本発明は、基板上に堆積若しくは形成され、基板から選択的にリフトオフされる任意の光学的材料若しくはデバイスに適用されることに注意する必要がある。エピタキシャルリフトオフは、Al_{1-x}G_xA_sエッチングトップを含むGaAs基板エッチング、若しくは、Al₁A_sエッチング可能層を用いることによって実現され得る。しかし、半導体基板はGaAsだけに限定されない。InGaAsPに関連したエピタキシャル膜を~1.3μm乃至~1.5μmの波長のアプリケーションに使用することができる。他の材料がリフトオフされてもよい。例えば、TiO₂、WO₃、SiNx、Siなどの高屈折率の膜を、Si、金属、若しくは、ポリマーのような基板上に堆積させ、基板を選択的にエッチングで除去し、これらの膜を本発明による形で埋め込むことが可能である。

したがって、本発明の教示は、広い範囲の薄膜材料及びデバイスに適用され得る。一例として、希金属ドープガラス膜が埋め込まれた場合、光増幅器として作用する。ルミネセンス膜、光屈折膜、非線形光学膜のような有機若しくは無機機能膜を埋め込んでもよい。高屈折率材料により構成された光遅延線は同様に埋め込まれる。したがって、本発明は、複数の光学部品を光学的に集積化する汎用的な方法を提供することができる。例えば、抵抗、コンデンサ、増幅器チップ、ドライバチップを埋め込んでもよい。シリコンチップ上に製作された電子素子の場合に、研磨は、エピタキシャルリフトオフの代わりにチップの厚さを減少させるため効果的である。エピタキシャルリフトオフ膜の装着には、多数の材料と、金属拡散、AuSnボンディング、Pbボンディング、或いは、はんだプロセス、WIT、TLBなどのプロセス、並びに、接着プロセスが含まれる。

【0082】本発明の説明中に記載されたすべてのプロセス及び構造体は、移された薄膜の複数のスイッチ部品をネットワーク構造のポリマー導波路によって接続することにより、クロスバー(XBAR)スイッチング用の導波路スイッチングを含むマトリックス光スイッチに適用される。スイッチング素子は、内部全反射スイッチ、マッハ・ツェンダースイッチ、デジタルスイッチ、指向性カッpler、及び、半導体光増幅器、導波路フィルタ若しくはチューナブルフィルタに基づく光ゲートデバイスを含む。本発明の方法は、マトリックス光スイッチ機能を備えた活性基板を実現するため使用され得る。

【0083】上位の活性基板の作製方法は、より複雑な光電子相互連結システムを作製するため多様な形に拡張される。例えば、図22では、上記活性基板20がバックプレーン(若しくは、マザーボード)100に水平方向に取り付けられている。バックプレーン100は、活性基板20と類似した構造を有する専用の光基板120を含み、光基板は上記の活性基板の作製方法によって作製できる。別の例では、活性基板20は、図32及び33に示されるように、バックプレーン(若しくは、マザーボード)210に垂直方向に取り付けられる。さらに別の例では、活性基板は、図36乃至38、図80、及び、図118乃至120に示されるように、集積回路チップを含む介在層を間に挟んで互いに積み重ねられる。

【0084】本発明による第1のマルチチップモジュールシステムの構成が示された図22を参照して、活性基板20へのバックプレーン(若しくは、マザーボード)100への水平方向の取付について説明する。バックプレーン100は、図23からわかるように、下側クラッド層121と、パターニングされ限定されたコア層124と、上側クラッド層123とを用いて内部に形成された複数の光導波路124a-124hを有する活性基板層120を含む。説明の便宜上、しかも、一般性を失わないように、本例におけるバックプレーン100は、4個

の同じMCM(マルチチップモジュール)タイプの活性基板20を収容し、各活性基板は4個のICチップを搭載する。光導波路124の経路を示すため、図22における4個の活性基板の中の2個の活性基板20は取り外されているので図示されない。バックプレーン100は、MCM活性基板20との間で光信号を送受信する複数の垂直型光カッpler-154、156、160を含み、上記の各MCM活性基板20は、V字溝型光コネクタ13乃至15が対応した垂直型光カッpler-44及び48で置き換えられている。これらの変更については、バックプレーン(又は、マザーボード)100の一般的な説明の後に説明する。

【0085】図22において、左上及び右上のMCM基板20の下側にある導波路及び垂直型カッplerの位置は、左下及び右下のMCM基板20の下側にある導波路及び垂直型カッplerの位置と同じである。これらによって、基板20が実装されているとき(左上及び右上の位置)と、基板20が実装されていないとき(左下及び右下の位置)におけるバックプレーン100が図示される。

【0086】バックプレーン100用の光源は、図7乃至11に例示された何れかの発光デバイス136である発光デバイス136により発生される。発光デバイス136の出力は導波路124aに接続され、導波路124aは左上のMCM基板20に隣接した場所まで経路が作られる。この場所から、導波路124aは約90°だけ曲げられ、左上のMCM基板20の下に配線され、右上のMCM基板20の下を通過するように延長される。発光デバイス136と左上のMCM基板20との間で、導波路124aは水平ビームスプリッタ164を通過する。水平ビームスプリッタ164は、光の一部(例えば、50%)を、導波路124aと直交した導波路124bに分配する。この水平ビームスプリッタ164の構造は、バックプレーン100の一般的な説明の後に詳述する。導波路124bは、左下のMCM基板20が配置される場所に導かれ、さらに、右下のMCM基板20が配置される場所まで経路が作られる。各MCM基板の場所の下側で、導波路124bは、光の一部をMCM基板20の上向きに進行させる垂直ビームスプリッタ154を通過し、その場所で導波路124bは、受信用縦型カッpler-44(図23を参照のこと)を用いて導波路24aに接続される。垂直ビームスプリッタ154及び受信用縦型カッpler-44の構造は、バックプレーン100の一般的な説明の後で詳述する。

【0087】導波路124cは、左下のMCM基板20と右下のMCM基板20との間で光信号を伝達する。左下のMCM基板から光信号を受信するため、バックプレーン100は、MCM基板の導波路24hの終端の下側に受信用縦型カッpler-160を含む。左下のMCM基板20からの光信号は、受信用縦型カッpler-48によ

ってバックプレーン100に向かって垂直に伝達される。この光は、バックプレーン100の受信用縦型カップラー160によって受信され、受信用縦型カップラー160はこの光を90°だけ曲げて、導波路124cの方に進める。導波路124cは、光信号を、右下のMCM基板20の下側にある送信用縦型カップラー156に伝達する。カップラー156は、光信号を90°曲げて、右下のMCM基板20の受信用縦型カップラー44の中へ垂直上向きに進ませる。カップラー44は、光を受容して90°だけ曲げ、基板20の導波路24gの中へ水平方向に進行させる。縦型カップラー44、48、156及び160の構造は、バックプレーン100の一般的な説明の後で詳述する。導波路124eは導波路124cと同様に構成され、縦型カップラーと同じ構造を使用して同様の形で左上のMCM基板20から右上のMCM基板20に光信号を伝達する。

【0088】導波路124dは、通常のV溝コネクタ112によって、一方の端で光ファイバ102に接続され、外部ソースからのファイバ102上の光信号を受信する。導波路124dは、もう一方の端で第2の受信用縦型カップラー156に接続され、第2の縦型カップラー156は、光信号を左下のMCM基板20の受信用縦型カップラー44の中へ上方に進行させる。この縦型カップラー44は、光信号を左下のMCM基板20の導波路24gに進行させる。光導波路124f自体は、V溝コネクタ113を介して一方の端で光ファイバ103に接続され、もう一方の端で第3の縦型カップラー156に接続される。導波路124fは光ファイバ103から外部信号を受信する。

【0089】導波路124gは、一方の端で第2の受信用縦型カップラー160に接続される。この受信用縦型カップラー160は、右下のMCM基板20から光信号を受信し、導波路124gの中に進める。導波路124gのもう一方の端は、通常のV溝コネクタ114によって光ファイバ104に接続され、導波路124g内の光信号はバックプレーン100の出力信号として伝達される。光導波路124hは、同様に(図22には図示されないが、右上のMCM基板20の下にある)第3の受信用縦型カップラー160に接続され、V溝コネクタ115を介して光ファイバ105に接続される。導波路124hは、右上のMCM基板から光ファイバ105へ出力信号を伝達する。

【0090】電源電圧は、図22に示されるように、導電性パッド151及び152によってバックプレーン100からMCM活性基板20に伝達される。電源は、活性基板120内の導電性層によってバックプレーン100に分配される。活性MCM基板20は、パッド151及び152への接続のための対応した電源パッドを含むように増大される。バックプレーン(マザーボード)100は、MCMモジュールの間で電気信号を伝達するた

めの電気経路を有する。電気経路は、それぞれの接続パッドまで形成されたバイアを用いて誘電的に絶縁された層内に形成される。

【0091】MCMモジュール若しくはバックプレーンとの間に光信号を伝達するため光ファイバを使用する代わりに、「膜導波路アレイ」、或いは、簡単に「導波路アレイ」と称されるアレイを使用してもよい。このような導波路は、クラッド材料によって囲まれた複数の光導波路を有するポリマー材料の薄い可撓性シートにより構成され、通常は、一端若しくは両端に縦型カップラーを具備する。導波路アレイの一方のエッジは、エッジ内の縦型カップラーが層120内の対応した縦型カップラーと整列されるように活性層120の領域に接着される。ファイバアレイ若しくはイメージングガイドも有効である。光電源136が光電子MCM基板側に配置されてもよく、或いは、光電源は外部光源によって供給されても構わない。光電源が外部光源によって供給される場合、バックプレーン120の活性基板は、導波路、鏡、及び、格子反射器だけを有し、光電子デバイスを含まない。

【0092】バックプレーン(マザーボード)100の構造の一般的な説明に続いて、バックプレーン100並びにMCM基板20のビームスプリッタ及び縦型カップラーについて、図23乃至27を参照して説明する。これらの図面から、下にあるベース基板12は活性基板20から除去され、バックプレーン100と活性基板20との間の光信号の光カップリングが改良されていることがわかる。ベース基板12は、例えば、アルミニウム若しくはシリコン、ガラス、或いは、他の除去可能な基板材料により構成され、エッチング若しくは他の除去方法を用いて除去される。他のエッチング可能な金属及び材料を使用してもよい。この場合、保護用エッティングストップ層がベース基板12と活性基板20の間に介挿される。さらに、ベース基板12を活性基板20から分離するため、Arjavalingam他に発行された米国特許第5,258,236号に記載されているような基板解離技術を使用してもよい。これらの方は、典型的に、透明基板と、透明基板を通して当てられたレーザビームによって消耗され得るポリマー解離層と、活性基板20をレーザビームから保護するためポリマー解離層の上に形成された反射金属層とを使用する。別のアプローチは、基板12として厚いアルミニウム上部層を備えたシリコンウェーハを使用し、(活性基板20の上面に保護被膜が設けられた)ウェーハの側面から横方向にアルミニウム層をエッチングする。

【0093】図23には、バックプレーン100の縦型ビームスプリッタ154及び基板20の受信用縦型カップラー44の領域におけるバックプレーン(マザーボード)100と左上のMCM基板20の断面図が示されている。バックプレーン100は、ベース基板12と、一

方の電源の電位 (V_c 若しくはグランド) を供給する導電性層151と、下側クラッド121と、コア層124と、上側クラッド層123と、第2の電源の電位 (グランド若しくは V_c) を供給する第2の導電性層152により構成される。層121、123及び125は、既に説明したように、それぞれ、層21、23及び24と同じ材料によって構成してもよい。また、ある種の場合には、層21、23及び24よりも熱的安定性は低い (例えば、エポキシ、アクリレートなどのように高い処理温度に耐えることができない) が、光伝搬損失が低減された材料を層121、123及び124に使用してもよい。縦型ビームスプリッタ154は導波路124bのパス内に形成され、従来技術において公知の如く多様な構造を有する光格子構造155を形成する。格子155は、導波路124bの屈折率とは異なる (大きい若しくは小さい) 屈折率を有する光材料の繰り返し構造を有する。入射光が格子155の材料に当たるとき、光の一部は、格子155の表面から垂直方向に反射され、一部は格子155を通過する。このとき、反射部分と透過部分の比率は、格子155とコア材料124の屈折率の差と、格子内の繰り返しの回数とに依存する。入射光と反射光との間に90°の角度差を実現するため、少なくとも格子155の表面の一部分は、光導波路124bのパスに対して45°付近の角度をなす。格子155は表面からの反射の位相が略一致するように離されるので、個々の格子からの反射は、活性基板20に伝達される光ビームを構築するため構成的に加算される。この格子の間隔は、一般的に、材料124及び155で測定されるように光の1波長のオーダーである。Lebby他に発行された米国特許第5,116,461号には、このような格子構造を製作するためポリマー材料に45°のトレンチをエッチングする方法が開示されている。エッチングされた構造体は、形成された後に、異なる屈折率を有する材料が充填される。上方に反射された僅かな光の量は、格子の数と、屈折率の差との関数であり、当業者に公知の光分析を用いて計算される。

【0094】任意の数の既知の格子構造体を使用することができ、格子155は導波路124bの全高に亘って広がる必要はない。導波路124bが感光性コア材料から作られるとき、その中で格子部155に対応する部分は、ホログラフィック手段によって発生されるような干渉パターンを用いる光照射によって除去される。同様な形で、このような照射は、光屈折コア材料と共に使用される。また、米国特許第4,806,454号に記載されているような他のタイプの繰り返し格子構造体を使用してもよい。或いは、格子を使用する代わりに、(例えば、厚さ及び/又は組成が制御された反射率を実現するように選択される) 半透明鏡、又は、多層誘電体フィルタは、光の一部を上方に向けて垂直に反射する同じ機能を実現するため使用され得る。

【0095】格子155から垂直方向に反射された光の一部分は、光学式接着剤材料153のポールを基板20まで通過する。光学式接着剤は、コア材料124及び24の屈折率とかなり接近した (例えば、空気の屈折率 $n=1$ よりも遙かに近い屈折率) を有する。光学式接着剤は、反射される波の大きさを減少させることにより、バックプレーン100と活性基板20との間の伝送効率を高める。例示的な接着剤は、文献: ノリオ ムラタ, "Adhesives for Optical Devices", 第48回エレクトロニック・コンポーネント・アンド・テクノロジー・カンファレンス (ECTC, May 1998) に記載されている。ポリイミド材料を使用してもよい。或いは、特開平9-157352号、特開平8-320422号、特開平7-077637号、及び、欧州公開特許EP-689,067-Aに開示されている光屈折性化合物に基づく光屈折性接着剤を形成してもよい。欧州特許出願EP-689,067号明細書に開示された自己集光ビーム効果 (SOLNET) は、基板の間に設けられた光学式接着剤の本体内に垂直導波路を形成するため使用してもよい。このプロセスにおいて、光ビームが最初に通過する材料の一部は、光ビームによって高められた屈折率を有するので、この材料の一部からコア材料が作られ、この材料の残りの部分はクラッド材料として作用する。これにより、セルフアライメント型垂直光導波路が作製される。光の初期ビームは、一つの導波路を通じて供給され、或いは、光接合の一方側から送られた書き込み光ビームの外部印加によって与えられる。さらに、両方の導波路からの光、若しくは、光接合の両方の側からのビームを与えることが有効である。

【0096】これらの選択可能な範囲に加えて、基板の間に材料が存在しない場合よりも光カップリングを高めるため、導波路の屈折率に非常に近い屈折率を有する多数の従来のポンディングシート、又は、アンダーフィル材料を使用してもよい。活性基板20の縦型カッラー44は、図9を参照して説明したようなVCSSELデバイスの出力に接続された光導波路と同じように構成される。光バイア45は、レーザ穴あけ加工、レーザ溶融、又は、(好ましくは、硬化された後に行われる) プラズマエッチングを用いて層25a、25b及びクラッド層21の中にアーチャを形成し、これらのアーチャを、層24が形成されるときに一般的なコア材料で充填することにより形成される。次に、鏡構造は、上記の通り導波路にペベル表面を形成し、反射金属若しくは反射材料の層をペベル表面の上に形成することにより作製される。層25a及び25bの光吸収係数が充分に小さいときのようにある種の場合には、光学的なバイアは不要である。反射防止 (AR) 膜が光の反射を減少させるため基板の表面に堆積される場合がある。

【0097】図24には、光導波路124eが縦型カッラー156と接する領域におけるバックプレーン (マ

ザーボード) 100と右上のMCM基板20の断面図が示されている。縦型カッパー156は、材料層の一部157のペベル構造エッジに形成された反射金属の層158を含む。このペベル構造は、(材料層に対し45°傾けられた角度を有するレーザを用いる)レーザ溶融、(例えば、米国特許第5,116,461号に記載されているように、45°の角度でチルトしたレーザを用いる)レーザ補助プラズマエッティング、若しくは、傾けられた基板を使用するリトグラフィック露光によって形成される。ペベル構造の切り口を形成する好ましいレーザ溶融方法は、図99乃至110を参照して詳述される。

【0098】縦型カッパー156は、正常な位置に形成され、図12乃至19を参照して説明した活性基板20を形成する処理ステップに組み込むことも可能である。このようなステップは、他の光カッパーの説明後に例示的に説明する。図25には、活性基板20の光導波路24hがバックプレーン100の受信用縦型カッパー160の上にある送信用縦型カップ48内で終端する領域におけるバックプレーン100及び左上のMCM活性基板20の断面図が示されている。送信用縦型カッパー48は、鏡層46の向きを除いて図24に示された受信用縦型カッパー44と同じ構成を有する。受信用縦型カッパー160は、鏡層158の向きを除いて図24に示された送信用縦型カッパー156と同じ構成を有する。バックプレーン側のカッパー156及び158を使用する代わりに、バックプレーン側のカッパー44及び48を使用しても構わないことに注意する必要がある。

【0099】また、縦型ビームスプリッタ154の格子構造は、適切な向きの格子155と共に、任意の縦型カッパー156、160、44及び48の代わりに使用できる点に注意する必要がある。これらの構造において、反射光は、屈折率に大きい差がある材料を選択することにより、伝送された光に関して増大される。或いは、全反射を実現するため、鏡をビームスプリッタ54の代わりに使用してもよい。

【0100】図26には、横型ビームスプリッタ164の上面図が示され、図27にはその断面図が示されている。この横型ビームスプリッタ164の構造は、番号165で示されるように格子が異なる向きに配置されている点を除いて縦型ビームスプリッタ154の構造と類似している。格子165は、コア層124の表面に対して傾けられていないので、格子155よりも簡単に製作することができる。金属、フォトレジストマスク(プラズマエッティングだけ)、又は、誘電体多層鏡(レーザ溶融だけ)を用いてコア層124の簡単な非等方性プラズマエッティング若しくはレーザ溶融が格子165用のアーチャを形成するため使用される。

【0101】次に、図99乃至108を参照して、シャ

ドウマスクに45°のチルト角度で衝突する傾斜したレーザを用いてペベル構造カット部を形成する好ましいレーザ溶融方法について説明する。この好ましいペベルカット方法によれば、任意の好ましい導波路方向に整列させたペベル構造鏡が製造される。また、この好ましいペベルカット方法は、異なるペベルカット方向を同じウェーハ上にパターン化することができる。

【0102】第1ステップにおいて、図99に示されるように、金属若しくは誘電体消耗マスク層810はポリマー導波路基板20の上に堆積される。ポリマー導波路基板20は、クラッド層及びコアサブレイヤを有し、選択的に他の成分を含む場合がある。消耗マスク層810はアーチャ811を用いてリソグラフィ式にパターンニングされ、最終的にすべての鏡が形成される。必要なリソグラフィ式のパターニングステップ数を減少させるため、付加的な金属シャドウマスク820-1、820-2、820-3及び820-4は、特定のカット方向で除去されるアーチャを選択するため使用される。シャドウマスク820は、好ましくは、ブロック、又は、アーチャ811の暗い一部分である。好ましくは、シャドウマスク820は、特定の消耗ステップで除去されるべきリソグラフィ式アーチャ811よりも僅かに大きいアーチャ821を含む。シャドウマスク820は、ウェーハ表面と直接的に接触するか、若しくは、ウェーハ表面の僅かに上方に配置される。

【0103】第1のペベルカットステップにおいて、金属シャドウマスク820-1は、リソグラフィ式にパターンニングされたアーチャ811の望ましい一部分を保護するためウェーハ上に配置される。図100を参照するに、基板20とレーザ830は、照射された各リソグラフィ式アーチャ811の一方のエッジがエキシマレーザビーム830によるポリマー層の露光中に消耗マスク810によって均一に遮蔽され、他方のエッジがカットされるように、相対的に向きを決められる。すなわち、露出した消耗マスクのアーチャにおいて、トレンチの深さの関数として一定の照度のプロファイルは、平行したパイプ状の領域を形成し、平行したパイプのトレンチの面法線に対する傾きはレーザのチルト角の関数である。屈折及び回折の効果を含む鏡面を形成するため、導波路の底の面法線(すなわち、導波路の上面及び下面)に対し約45°の角度を有するアーチャ側壁を形成するように基板20及びレーザ830は互いに向きを決められる。レーザビームは、レーザビーム若しくは基板を移動させることにより、又は、両方の移動の組合せによってシャドウマスク及び基板の表面上を走査される。レーザビームが充分に幅広く、基板領域の全体をカバーできる場合、このような移動は不要である。このような走査方法は、「ムービング・ネオン・アブレーション」又はNMA法と呼ばれる。しかし、他のタイプのレーザを使用してもよい。レーザ照射は、図101に84

0-1として示されるように、リソグラフィックマスク層811の遮蔽効果の結果として、遮蔽されていないアバーチャ内で二つの側面上に45°の側壁角度を有する平行したパイプ状のトレンチ840を形成する。但し、同図において、シャドウマスク820-1は除去されている。このプロセスは、基板20の面法線とレーザ830の間の向きを変更し、他のアバーチャを露光するため第2のシャドウマスクを表面の上に配置し、サンプルの向きを別の方に向に適切に決めることによって繰り返される。図面中、これらの方を区別するため、基板のエッジに1乃至4の向きが割り当てられている。例えば、別の二つの側面上にペベル構造カット部を形成するため、サンプルは、図102に示されるようにレーザ830を固定したまま90°回転され、図103に示されるように異なるシャドウマスク830-2を用いて再度露光される。図104には、これにより得られる傾斜したトレンチ840-2が示されている。このプロセスを繰り返すことにより、任意のカット方向及び位置を備えた鏡面が形成される。これは、図105乃至110に示され、二つの付加的なシャドウマスク820-3及び820-4を使用する二つの付加的な消耗ステップは、対応したトレンチ840-3及び840-4で表される。

【0104】同じ消耗プロセスは、同様に垂直側壁を実現するため変更される。ビームを消耗マスクの表面と垂直な向きに定めることにより、遮蔽は生じない。したがって、レーザ光は、図111乃至113に示されるようにアバーチャに直角方向で進入し、シャドウマスク820-4は、傾斜した側壁カット部ではなく、垂直側壁を形成するため使用される。

【0105】図114及び115は、コーナー回転鏡850の上面図及び断面図である。集積光学の分野で公知のように、垂直側壁は、図114及び115に示されるように、導波路モードを、同じ活性層から形成され異なる方向に向けられた別の共面導波路に偏向させるため使用される。コーナー回転鏡850を形成する場合には、例えば、45°の反射面を90°の反射角によって導波路モードを水平方向に偏向させるため使用することが有効である。集積光学の分野で周知の如く、コーナー回転鏡の効率は、鏡面の垂直度に依存する。鏡は、鏡面が真の垂直から数度しか離れていない場合でも、著しく効率が低下する。したがって、コーナー回転鏡を形成するためRIEが使用されるとしても、レーザ溶融方法は、より滑らかで垂直性のよい鏡面を与える能力があるので、好ましい方法である。

【0106】図114を参照するに、第1の導波路区画851内の光は、45°の鏡面850で第2の直交した導波路852にの中に反射される。鏡は、好ましくは、ウェーハ表面の法線方向にエッティングされた導波路の一部により構成される。エッティングされた表面は、好ましくは、第1の導波路区画851から第2の導波路区画8

52に実質的に完全な光の反射を実現するため、コア層24及びクラッド層23の全域と、層21の一部でエッティングされる。しかし、完全な反射は必要ではない場合、実行反射率が減少されるので、鏡は外側クラッド層で部分的にエッティングされればよい。図115に示されるように、ポリマークラッド層23及びコア層24が除去された後、側壁は反射金属表面853によって被覆され、次に、上側クラッド層が堆積される。この基板は、後で必要に応じて除去される。

【0107】多数の異なるマスク構造体がレーザ溶融プロセスに使用される。金属マスクの他に、反射多層誘電体マスクを使用してもよい。多層誘電体マスクは、エキシマレーザの周波数で低い光吸収率を有する材料を含む。また、多層誘電体の誘電率、すなわち、屈折率、及び、層の厚さは、マスクがエキシマレーザ周波数で光を効率的に反射するよう選択される。一般的に、ポリマー層よりも非常に低いレートで消耗するマスクが使用される。多層誘電体リソグラフィマスクは、非常に薄く、エッジ分解能を高めるので好ましい。レーザ溶融プロセスは、好ましくは、大きい面積を照射するためサンプルに対しビームを変換する手段を含む。この目的のため、ビームを走査させるための可動ステージ若しくは光学系のような一般的な技術が使用される。エキシマレーザは好ましいレーザであり、THG-YAGレーザ又はFHG-YAGレーザのような他の紫外線レーザを使用してもよい。Heのような消耗ガスを担体として使用してもよい。

【0108】多数の同じ原理が反応性イオンエッティング(RIE)プロセスで使用される。RIEマスクは、アバーチャを形成するように基板の表面に堆積され、パターニングされる。付加的なシャドウマスクは、一部のアバーチャをRIEから保護するため使用される。方向性RIEは、傾斜した角度で基板上にイオンを衝突させる。イオンの遮蔽は、マスクによって同様に行われるのと、傾斜した側壁が生成される。かくして、図99乃至113に示された上記のプロセスは、レーザビームの代わりにRIEプロセスを用いて繰り返される。

【0109】図116及び117は、45°の導波路鏡を具備した導波路カップラーの別の実施例の上面図及び断面図である。フッ素化ポリイミド、又は、紫外線硬化可能エポキシのような導波路クラッド層21は、最初に、アルミニウム基板のような除去可能な基板上に堆積される。次に、コア層24が堆積される。コア層24は導波路内にパターニングされる。上側クラッド層23はパターニングされたコア層24の上に堆積される。コア層24及びクラッド層23は、次に、鏡/カップラー表面を形成するためRIE若しくはレーザ溶融を用いてパターニングされる。表面は、図107及び108に番号853で示されるように金属被覆される。基板の除去は、膜が別の基板若しくは膜に取り付けられた後に行わ

れる。また、基板が除去される間に、電気コンタクトパッド及びビアの形成のような他の変形例を実施してもよい。選択的なバッファ及びバッシベーション層を追加してもよい。必要ならば、鏡は、コア層24が上側クラッド層23の堆積前に形成された後に形成してもよい。

【0110】上記の通り、図21乃至27に示されるような縦型カッパー156及び160の製作は、図12乃至19を参照して説明した光スイッチ26を作製する製作工程の中に容易に組み込むことができる。この付加的な工程は図28乃至31に示されている。図28を参照するに、スイッチデバイス26の下部電極27を形成するときに同時に、下部金属パッチ159が縦型カッパーのために形成される。金属パッチ159は、後のレーザ穴あけ加工、レーザ溶融、若しくは、プラズマエッティングプロセスに対する障壁層として機能し、主として、レーザビームが後続のエッティング工程で層121に衝突する場所に設けられる。次に、層626と同じ材料層157が形成され、ペベル構造カット部が作製されるアーチャを有する上部金属マスク層161が形成される。次に、傾斜したアーチャ162と、縦型カッパーのためのペベル構造エッジとを形成するため、傾斜したエッティングが行われる。傾斜したエッティングは、既に説明したようなレーザ溶融、図99乃至113を参照して説明したムービング・ネオン・アブレーション(MNA)、傾斜したレーザを用いるレーザ補助プラズマエッティングの工程、又は、傾斜した基板を用いるプラズマエッティング、若しくは、先が細くなるマスクを用いる通常のプラズマエッティングなどによって行ってもよい。層161は、傾斜したトレンチを形成するため層626に衝突するレーザ光が通過するアーチャを設けることによって、この工程のためのエッチマスクとして機能する。MNAの場合に、第2のマスクが使用され、角度を変えながら繰り返し溶融が行われる。材料が感光性である場合、傾斜したカット部は、基板の表面に対し向きが傾けられた化学放射線を基板に照射し、次に、現像することにより画成される。層161はポータブル等角マスク(PCM)として作用するので、化学放射線への一様な露光が行われる。この工程の結果は図28に示されている。

【0111】図28を参照するに、層161が除去され、腐食トップ/研磨トップの組合せ層627が上記の工程と同様にして基板の表面上に形成される。続いて、縦型カッパー用の鏡金属158が層627の上に形成され、両方の層は、パターニングされたフォトレジスト層を通る標準的なパーションエッティング工程によって同時に画成される。基板は、次に、既に説明した方法で、ポリマー材料を選択的に非等方性に標準的なプラズマエッティングプロセスで処理される。このようなプラズマエッティングは従来技術において公知である。これらの工程の結果は図29に示されている。次に、図30に示

されるようにコア層124が基板上に形成され、硬化される。最後に、基板は、上記の方法のように化学機械研磨によって研磨される。得られた基板は図31に示されている。典型的に、鏡材料158の最上部は、研磨トップ層627よりも容易に除去される。基板の処理は、研磨工程の後に、図16に示された既に説明した工程から再開する。選択的な工程として、上側クラッド層123は、ペベル構造区画の上に形成され、コア層124bと同じ材料で充填されたアーチャを有する。一般的に、光がコア材料から垂直方向に反射される場所でクラッド層123をエッティングする必要はない。その理由は、外に出る光が臨界内部反射角よりも大きい略90°の角度でクラッド層に衝突するからである。しかし、クラッド層の一部が鏡の上方に存在するとき、一部の光は反射され、対応した効率の損失が生じ、反射される光の量は屈折率の差が大きくなると共に増大する。

【0112】CMP研磨表面の境界粗さと関連した光散乱に伴う導波路損失を低減させるプロセスの変形を行なうことが望ましい。図30に示されたコア層被膜工程において、選択的なクラッド層は、コア層付近の境界面の平滑さを改良するためコア層の上に被覆され得る。コア層が(部分的若しくは完全に)硬化された後、選択的なクラッド層が被覆され、ソフトかつ完全な硬化が行われる。コア層の厚さが光電子デバイスの高さよりも少しだけ厚いとき、研磨面はコア層の上の選択的クラッド層内にある。この2層アプローチは、コア層とクラッド層の間の境界の平坦さを改良する。その理由は、選択的なクラッド層は共通平面まで研磨され、光散乱損失を潜在的に減少させるからである。また、研磨面は、クラッド層内のかなり長い距離(例えば、数千オングストローム以上)続いてもよく、その結果として、光強度は研磨面で削減され、散乱損失を減少させる。したがって、コア層の厚さは、上部金属を除く光電子デバイス又は材料の高さ未満になるように選択することが好ましい。その理由は、選択的なクラッド層の厚さが上部金属の厚さの選択によって定められるからである。或いは、光散乱損失は、CMPプロセスがコア層の形成後ではなく上側クラッド層の形成後に適用される場合に、削減される。別のアプローチは、コア層若しくは上側クラッド層のいずれにもCMPプロセスを適用しない。これにより、平面状ではない表面が得られ、この表面は、必要に応じて、上側クラッド層の上に平坦化層を形成し、次いで、平坦化層上でCMPプロセスを実行することにより平坦化される。

【0113】この製造プロセスは、主要な境界面に光散乱損失を生じさせるCMP研磨工程を省くため更に変更される。光照射によって硬化された感光材料が導波路をパターニングするため使用されるとき、CMPは必要とは限らない。図30に示された工程の後、コア層が適当な厚さの感光材料で被覆されるとき、すなわち、上部金

属を除く光電子デバイス／材料の高さの付近、或いは、高さ未満であるとき、導波路パターニングは光パターン露光によって実行され得る。パターニングされた導波路は反射器の45°表面の一部を横切るが、これによって、案内された光を反射する際にその機能が著しく妨げられることはない。更なる平坦化層は、必要に応じて上側クラッド層が形成された後に適用される。

【0114】ペベル構造鏡面を形成する工程は、上部クラッド層がコア層の上に形成された後に実行される。本例の場合、消散する波が反射され得るので、全反射が予測される。すなわち、鏡面は、上側クラッド層及びコア層を介してエッティングすることができ、少なくとも下側クラッド層の一部を通してエッティングすることができる。全ての光モードが鏡面で遮られ、反射される。集積光学の分野で周知のように、典型的に、光モードパワーの中の一部は、クラッド領域内で消散する「テール」として存在する。かくして、反射モードにおける鏡の効率は、鏡面が上側クラッド層及び下側クラッド層を介して拡がる場合に、多少改良される。

【0115】活性層を含む相互連結基板は、バックプレーン（若しくは、マザーボード）に垂直に実装され、光信号は相互接続基板のエッジで送信・受信され、バックプレーンの表面で受信・送信される。図31及び32には、複数の相互連結基板、すなわち、光電子マルチチップモジュール基板10"がバックプレーン210に垂直向きに実装された構造体200の一実施例が示されている。MCM基板10"は、上記のMCM基板10及び10'と同じ形式で製作されるが、MCM基板10"に出入りする信号を伝達する殆どの導波路は、バックプレーン210と接する基板のエッジに繋がれる。バックプレーン210は、ベース基板212と、活性層120"と、活性層120"に形成された複数の導波路224a-224gとを含む。導波路224a-224gは、MCM基板10"の間で光信号を伝達するため使用される。光スイッチデバイス（例えば、変調器）が発光デバイスの代わりに光信号を伝達するため使用されるとき、外部光電源が使用される。外部光源を設けるため、一例として、MCM基板10"と同じようにバックプレーン210と通信する光電源ボード280が使用される。この場合、導波路224a-224gは、光電源ボード280によって供給される光パワーのソースを伝達する。電源ボードは、複数のレーザダイオードLDを含む。レーザダイオードLDの出力はボード280の導波路に配達され、ボード280の導波路は、バックプレーン210と隣接したボードのエッジに繋がれる。2個以上のレーザダイオードLDの出力は、導波路内でのパワーレベルを増加させ、及び／又は、2個以上の波長の光を同一導波路で加算若しくは乗算するためY字形合成器によって結合される。これは、ボード280上の中央の2個のレーザダイオードLDによって示されている。多数の光

の波長は、上記の格子ビームスプリッタと同様に構成された格子フィルタによって互いに分離される。ある種の場合に、格子フィルタは、金属反射層の代わりに、誘電体多層フィルタを形成することにより実現され得る。多重波長信号の逆多重化は、MCM若しくはバックプレーン上で実行される。ボード280は、MCM基板10及び10'と同じように構成される。

【0116】カップラー160のような縦型カップラーは、光信号を、バックプレーン210の導波路224a-224gと、光電子MCM基板の導波路と、電源ボード280との間で光信号を結合するため、基板バックプレーンの活性層120"内に設けられる。図23-24に示されたカップラー154及び156のような他の光カップラーを使用してもよく、鏡がコア層とクラッド層のエッジ部に形成されているカップラー44及び48のような同じタイプのカップラーを使用してもよい。図33には、最前の光電子MCM基板10"がバックプレーン210と隣接する領域でシステム構造体200の断面図が示されている。視覚的な分かり易さのため、図32では、基板10"がバックプレーン210に隣接する様子の詳細は省略されている。図33には、基板10"がバックプレーン210に隣接する様子の詳細が示されている。MCM基板10"の活性層20"は、基板10"がバックプレーン210に接する場所でエッジに沿ってベース基板12から分離されている。この構造には幾つかの利点がある。第1に、基板10"のベース基板12を、基板10"の端で導波路に損傷を加えることなく、レセプタクル225によって安定して保持することができる。第2に、基板12の上面の電気経路30'を基板のエッジに配線し、レセプタクル225内の通常の電気コネクタ226に機械的に接続することができるようになる。したがって、基板12を通るバイアを形成する必要がなくなる。基板12が多層電気基板により構成される場合、一般的にバイアが設けられる。コネクタ226上の各電気信号は、それぞれのワイヤ227及び接続パッド228とによってバックプレーン210の対応した接続パッド232に送られる。接続パッド228及び232は、一つにはんだ付けされ、電気信号、グランド、電源を伝達し、レセプタクル225をバックプレーン210に取り付けるためにも役立つ。

【0117】第3の利点として、活性層20"を基板12から分離することにより、層20"の導波路を、バックプレーン210の層120"内の縦型カップラー（例えば、カップラー120）とより正確に整列させ得るようになる。基板12は数ミクロンの歪みを含む場合が多く、この歪みによって導波路と縦型カップラーとの間に大きい整列不良が生じる。第2のレセプタクル235は、バックプレーン210の上面に装着され、バックプレーン210内の縦型カップラー（例えば、カップラー160）に対し、より正確な位置に配置される。MCM

基板10"がレセプタクル235に挿入されたとき、活性層20"の可撓性によって、活性層20"は第2のレセプタクル235の中に案内され、縦型カッパーに対してX軸方向に非常に正確にアライメントできるようになる。図32には座標系の定義が示されている。碍子ブリッジ237は、X方向に関して基板12から層20"を離間した状態に保つためMCM基板10"で使用される。Y方向に関して、導波路を縦型カッパーに正確に整列させるため、レセプタクル235は、図33に示されるようにスロット239を含む。スロット239の長辺は、Z方向と平行であり、MCM基板10"は、活性層20"の上面にキー238が設けられ、キー238はスロット239内に寄り添うような形で適合する。Z方向に優れた光結合を得るために、少量の光学的接着剤又は液体屈折材料がレセプタクル235の底に配置され、粘性若しくは粘着性状態まで乾燥され、活性層20"の端は光学的接着剤の層と接触し、その層に接着される。活性層20"のエッジを層123に直に接触させることにより、光学的接着剤は実質的に同程度の良好な光結合を得るために必要がなくなる。必要に応じて、反射防止膜が活性層20"及び123の光結合を高めるため両方の層に塗布される。

【0118】従来の光カッパーは、MCM基板10"からバックプレーン210に導波路を結合するため使用されることが認められる。このタイプの接続は、市販されているコネクタを使用することができるので好都合である。この場合、1本の導波路当たり2つ以上のコネクションが必要になり、カッパーの光学的な挿入損失に起因して光損失が増加する。図33を参照するに、第1の導波路コネクタが活性層20"のエッジ若しくは表面に取り付けられ、一方、第2の導波路コネクタは縦型カッパー160の付近で層123の表面に取り付けられる。第1及び第2のコネクタは一体的に結合してもよい。しかし、導波路とコネクタの境界ごと、並びに、コネクタとコネクタの境界ごとに、推移と関連した光損失が存在する。また、光信号及び光電源は、従来のV溝コネクション112若しくは面法線コネクタによって基板10"の活性層20"内の導波路に接続された光ファイバ102、膜導波路、光ファイバアレイ、又は、イメージングガイドを介してMCM基板10"に供給されることが認められる。

【0119】図33では、活性層20"及び120"は、それぞれの基板12及び212の上に直に作製される場合を考えて図示されている。しかし、図34の実施例に示されるように、活性層20"及び120"は別々に作製され、それぞれの基板若しくは印刷基板に接着しても構わないことが認められる。このアプローチによれば、電気相互連結と、光相互連結を作製するため異なる技術を使用できる。また、MCM基板10"がバックプレーン120と接触するエッジで活性層20"を基板1

2から容易に分離することができる。図33に示された実施例の場合に、活性層20"は基板12の上に作製され、材料の電気防食用パッチは、活性層20"が形成される前に、層20"が基板12から分離されるべきエッジに沿って基板12の上に配置される。層20"が形成された後、電気防食用パッチはエッジから横方向に食刻される。

【0120】活性基板技術に基づく更なる発明として、ICチップは、活性基板への取り付けのため膜表面にコンタクトパッドが形成された誘電体膜に封止される。これにより、電気相互連結及び光相互連結の両方の相互連結を有する3次元マルチチップモジュールを形成するためICチップ層と活性基板層を交互に積層することが可能になる。

【0121】図35には、活性基板320に取り付けられたチップ層350の略断面図が示されている。本例の場合に、2個のチップ351及び352は誘電体膜に封止され、活性基板320は、VCSELエミッタデバイス336と、受光素子デバイス328とにより構成される。チップ層350は、非等方性導電性膜302によって活性基板320に積層される。このような膜は従来技術において公知である。VCSELエミッタデバイス336はチップ351により制御され、光信号を活性基板320内の縦型カッパー344に送信する。導波路324aは縦型カッパー344に接続される。導波路324aは信号を送信用縦型カッパー348に伝達し、送信用縦型カッパー348は光信号を受光デバイス328の方に進める。受光デバイスの電気出力は第2のチップ352上の回路に接続される。チップ層350及び活性基板320は、対向したコンタクトパッド332を介して電気信号を相互に伝達し、電気経路330及び電気バリア333を有する。コンタクトパッド332は、非等方性導電性膜302内に分散された導電性材料の球を介して互いに接続される。パッド332により得られる電気接続は、基板の面内のx軸方向或いはy軸方向ではなく、垂直方向の接続を行うので、屢々、z軸接続と呼ばれる。

【0122】視覚的な簡明さのため、活性基板の構造は概略的に示されている。この活性基板の基本的な層構造は上記のマルチチップモジュールシステムの第1の実施例における構造と同じであり、活性基板は既に説明した作製工程によって作製される場合を想定する。また、チップ及びパッドに対する活性部品の相対的なサイズは拡大して表示されている。VCSEL及び受光素子(PD)は拡大されている。ICチップ層の詳細な構造及び作製方法の例を以下に説明する。

【0123】非等方性導電性材料を用いてICチップ層350を活性基板320に接合する代わりに、粘着性ボンディングシートを使用してもよい。層350の電気パッド332を基板320のパッド332に接合するた

め、パッドの場所に（例えば、プレパンチングなどによって）ボンディングシートを通る孔が作られ、導電性ボンディング材料は1組のパッドの上に設けられる。基板320及び層350は、熱と穏やかな圧力とによって一体的に積層される。また、1998年11月13日に出願され、発明の名称が“Multilayer Laminated Substrates with High Density Interconnects and Methods of Making the Same”であり、本願の出願人に譲受され、発明者がHunt Jiang, Tom Massingill, Mark McCormack, Michael Leeである米国特許出願第09/192,003号明細書に記載された多層積層プロセスを使用してもよい。さらに、1998年12月1日に出願され、発明の名称が“Conductive Composition”であり、本願の出願人に譲受され、発明者がHunt Jiang, Solomon Beilin, Albert Chan, Yasuhito Takahashiである米国特許出願第09/203,126号明細書に記載されたガスを含まないはんだペーストを、ボンディングシートの孔に使用される導電性ボンディング材料に用いてもよい。Kuo-Chuan Liu, Michael G. Leeにより発明され、名称が

“Transient Liquid Alloy Bonding”である米国特許出願明細書に記載されたZ接続における2個の金属パッドを一体的に拡散ボンディングは、本願の基板の構造に有用である。パッド332のz軸接続は、はんだ接合、若しくは、金属拡散接合によって行われ得る。金属拡散接合は、特に、精密なz接続（すなわち、小さいz接続）を作製するため有効である。また、Loveに発行され、本願の出願人に譲受された米国特許第5,334,804号に記載された配線相互連結構造（WIT）は、好ましくは、アンダーフィル材料と共に使用される。上記の方法及び材料は、いずれも、種々の基板を既に説明した実施例、並びに、以下に説明する実施例に接合するため使用され得る。アンダーフィル材料は、はんだ接合、金属拡散接合、TLB（Transient Liquid Alloy Bonding）接合、若しくは、WIT接続のためのボンディングシートの代わりに使用できる。

【0124】付加的なICチップ層350及び活性基板層320は、図36に示されるように、互いに重ね合わせられ、付加的な非等方性膜302若しくはボンディングシート、又は、他のz接続方法によって相互に接続される。積層中の活性基板32は、好ましくは、活性基板を作製するため使用されたベース基板12から、上記の何れかの基板分離方法を用いて分離される。層350及び基板321の中の一部のバイア333は、グランド及び1個以上の電源電圧をすべての層に伝達し、一方のチップ層350から別のチップ層350に電気信号を伝達するため互いに積層される。非等方性シートを利用しないボンディングシート、Hunt他によって開発された多層積層プロセス、又は、他のz接続方法を使用する利点は、光信号が、非等方性導電性膜で屢々使用される導電性球或いは不透明材料によって遮られることなく、活性

基板320とICチップ層350との間で垂直に伝達されることである。光z接続は図示されていないが、カップラー344及び348のような導波路カップラーによって容易に実現することができる。

【0125】活性基板320の導波路及び他の活性部品は、図37-38に示されるように別々の層に作製してもよい。本例の場合、活性基板は、導波路層320aと活性部品層320bとに分割される。層320a及び320bは、上記の粘着性ボンディングシート302'、Hunt他による多層積層プロセス、はんだ接合、金属拡散接合、TLB接合、又は、WIT接続によって一つに接合される。はんだ接合、金属拡散接合、TLB接合、又は、WIT接続が使用される場合、従来のアンダーフィルをボンディングシートの代わりに使用してもよい。

【0126】図39乃至42には、発光デバイス（例えば、VCSEL）と、スイッチデバイス（例えば、光変調器）が多層に組み込まれる種々の形態を概略的に表わす図である。図39において、2個の別々の層内の2本の導波路は、対応した導波路の端に取り付けられた送信用縦型カップラー及び受信用縦型カップラーを介して互いに光結合（光学的z接続）される。光変調器デバイスは、2個の縦型カップラーの間の光学路に設置され、別個の層に収容される。光変調器デバイスは、電子光材料（若しくは、電子吸収（EA）材料）と、本体部の各面に作製された2個の接点とにより構成される。電子光（若しくは、電子吸収）材料の本体部は、層の製造中にセットされた個別のチップを含み、或いは、本体部は、図12乃至19に示されたスイッチデバイス25の電子光材料に対し行われたように、元の場所に形成してもよい。図41には、下部導波路がエミッタデバイス（例えば、VCSEL）によって置き換えられている点を除いて同じ構造を有する。両方の例において、層は、ボンディングシート及びz接続方法を使用することなく、積層製作工程によって互いに積層される。しかし、必要ならば、或いは、望ましいならば、3層が別々に製作され、ボンディングシート、アンダーフィルとはんだ接合、金属拡散接合、TLB接合、又は、WIT接続によって一体的に接合される。図40にはその一例が示され、図41に示された層構造と同じ光接続性を提供する。最後に、図42には、光変調器デバイスを介すことなく第2の層の導波路に接続している第1の層のエミッタデバイスが示されている。上記例では、光電子デバイスへの接点は、バイアを使用して下面に配線される。逆に、図35乃至38の例の場合に、上記層の中の少なくとも一部は積層製作プロセスによって互いに積層される。一般的に、本発明の任意の積層構造は積層プロセスによって製作される。

【0127】層が別々に製作され、選択的に組み付けられる例の場合に、光屈折性アンダーフィル材料、又は、光屈折性ボンディングシートを個々の層の間に使用して

もよい。このようなアンダーフィルを用いる場合に、参考のため引用する欧州公開特許出願第E P - 6 8 9, 0 6 7 - A号に記載されたS O L N E T導波路形成プロセスを使用することにより部品及びアンダーフィルの数層の積層を通る縦型導波路を形成し得る。この欧州特許出願は、本願の出願人に譲受され、特願平6-140502号、特願平6-200974号、特願平6-204922号、特願平7-59240号及び特願平7-61092号に基づく優先権を主張している。このS O L N E T導波路形成プロセスの場合に、光ビームは、縦型導波路が形成されるべき場所に集光され、光屈折性材料はこのビームに応答して屈折率が大きくなる。

【0128】図35乃至42には、図面を見易くするため、1個の発光デバイス (VCSEL) と、1個の受光デバイス若しくは光変調器 (スイッチ) デバイスだけが示されている。本発明の典型的なアプリケーションは、このような電子デバイスを数個又は多数個含む。VCSEL、受光素子、及び、光スイッチの代わりに、それぞれ、ドライバ集積VCSEL、ドライバ集積スイッチ (変調器)、及び、増幅器集積受光素子を使用できる。このような場合、既に説明したように電源及びグランド用の付加的なパッドが必要である。チップ351及び352は、VCSELのドライバ及び/又は増幅器である。ICチップは互いに積層できる。例えば、プロセッサチップ用の第1のICチップ層は、ドライバ及び増幅器用の第2のチップ層の上に積層され、第2のICチップ層が積層され、活性基板は、第1のチップ層の出力及び入力が第2のICチップ層のドライバ及び増幅器に供給され、第2のチップ層のドライバ及び増幅器が活性基板の光電子デバイスに接続される構造を提供する。この例の場合、ドライバ及び増幅器の接続パッドは第1のICチップ層のパッドと対向するように作製される。また、ドライバ/増幅器薄膜チップを通過するバイアを形成することが可能である。或いは、チップは、周囲のポリマー層にバイアを形成するVCSEL及び受光素子に対応した小片に分割してもよい。また、膜ではなく、通常のプロセッサ用のダイチップを使用してもよい。この場合、プロセッサダイ/ドライバ増幅器IC層/活性基板のような構造が作製される。図119及び120には、同じ状況が実現され得、チップ層のチップはチップを通過するバイアを備えた薄膜ドライバ/増幅器チップでもよく、或いは、分割された薄膜ドライバ/増幅器チップでもよい。上記のドライバ/増幅器チップは、ドライバ回路、増幅器回路、バイアス回路、温度安定化回路、クロック又は信号スキューリング回路、同期回路、並びに、その他の適切な回路を含む。したがって、一部の場合に、ドライバ/増幅器チップは「送信器回路/受信器回路」チップと呼ばれる場合がある。図35乃至42、119及び120において、ドライバ/増幅器チップ、及び/又は、プロセッサ/メモリチップを含むチップ

は、VCSEL、受光素子、及び、その他の素子のような光電子デバイスと同じ層に共存する。各層の上、又は、層間の境界面上にできる限り広いグランド又は電源面を形成することにより、各層内の電気ノイズを低減することができる。

【0129】チップ層内のチップは、バイアを具備した薄膜ドライバ/増幅器チップ、或いは、分割された薄膜ドライバ/増幅器チップである。図35乃至42、119及び120に示された構造は、FOLM及びOEM-CMを含む本発明のすべての実施例に適用され得る。また、視覚的な分かり易さのため、これらの図に示されている導波路は分岐を含まないが、典型的なアプリケーションは、前に説明した図に示されている通り分岐型の導波路を含む。接続密度が高い場合には、導波路は多層構造でもよい。一般的に、本発明のすべての実施例において、接続密度が高い場合に、多層導波路が必要に応じて使用される。

【0130】多層構造は、積層プロセス、若しくは、z接続プロセスによって製造され得る。一部のアプリケーションでは、スイッチデバイス (例えば、変調器) 及び/又は発光デバイス (例えば、VCSEL) からの導波路は、複数の導波路を担う外部光ファイバ、ファイバアレイ、ファイバイメージガイド、或いは、外部薄膜に接続される。ファイバアレイ、ファイバイメージガイド、或いは、外部薄膜は、「膜導波路アレイ」、若しくは、簡単に「導波路アレイ」のように称される。これらの光ファイバ及び導波路アレイは、図35乃至42に示された積層部品によって作られるシステムから外に光信号を伝達する。同様な形で、これらの外部光ファイバ、ファイバアレイ、ファイバイメージガイド、及び、導波路アレイは、活性層の受光デバイスに光信号を伝達する。いずれの場合も、光ファイバ、ファイバアレイ、ファイバイメージガイド、又は、導波路アレイは、内部導波路、縦型カッパー若しくはビームスプリッタに直接的に光結合された場所でシステム層に取り付けられる。積層されたスタックの寸法を超える一方の側面にタブ部を有するように層320、320a、320b若しくは350を形成し、外部導波路アレイをこの拡張されたタブに取り付けることによって、導波路アレイはこれらの層の中のいずれか一つの層に接続される。面法線接続は、下部層及び上部層で使用される。この構造による更なる利点は、層320、320a、320b、350の間の占有されていないギャップが構造体の中を流れる冷却用ガス若しくは液体のチャネルとして使用されることである。

【0131】ICチップ層350を作製する方法の一例が図43乃至50に示されている。図43を参照するに、ICチップ層350を通るバイアは、最初に暫定的な基板412を取り、この暫定的な基板の上面にバイアポストを形成することにより形成される。暫定的な基板

の取り付け及び除去は、上記のいずれの方法を使用して行ってもよい（例えば、Arjavalingam他に発行された米国特許第5, 258, 236号を参照のこと）。バイアポストは、電気めっき、スパッタリング、或いは、その他の方法によって形成される。電気めっきによる形成法の場合、暫定的なシード層は、従来技術において公知の如く、基板412の表面にスパッタリングされ、次に、厚いフォトレジスト層が基板面に形成され、リソグラフィパターン露光及びパターン現像によってパターニングされる。これによりバイアアーチャが形成され、導電性材料が通常の電気めっき法によってバイアアーチャ内にめっきされる。現時点では、銅が好ましい材料であるが、他の金属を使用しても構わない。導電性材料は、最終的な構造に必要とされる厚さ（若しくは高さ）よりも多量にめっきする方が好ましい。スパッタリング法の場合、厚い導電性材料の層が基板の全面にスパッタリングされる。次に、フォトレジストがスパッタリングされた層の上に形成され、パターン露光され、バイアが形成される場所の上にフォトレジストの部分を残すように現像される。残りの露光されたフォトレジスト層の部分は食刻される。エッチングの後、残りのフォトレジストが除去される。

【0132】バイア形成プロセスの次の工程として、フォトレジスト層が除去され、めっきシード層が除去される。ICチップ層350を形成する基本的な方法に対する変形例として、シード層を維持し、層350の底面に電気経路を形成するため後の処理工程で使用してもよい。シード層は、ICチップ層350の底面に電気経路330及び相互連結パッド332を画成するため、この方法の一般的な工程でパターニングしてもよい。シード層を一般的な工程でパターニングする場合、シード層は、例えば、一様な電気めっき工程を用いて付加的な導電性材料を堆積させることによって比較的厚くされる。バイアポストがフォトレジスト層に形成された後、フォトレジスト層は、底面に形成されるべき経路及びパッドを画成するため、もう一度パターン露光され、現像される。このパターニング工程は、経路、パッド、及び、バイアが形成されるべきではない場所からポジのフォトレジストを除去する。この2回目のパターニング工程は、望ましくないシード層を露出させ、適当な化学腐食液によってこのシード層を食刻する。残りのフォトレジストは、次に除去される。厚いシード層の画成工程は、以下に説明するように最終工程まで延期される。従来技術において公知の如く、フォトレジスト層は、場合によっては、像を改良するため、パターン露光された後に、ソフトベーリング処理が施される。このような露光後ベーリング処理は、温度が製造元によって指定された値を超えたときに、ポジのフォトレジスト内の光触媒の量を減少させることが可能である点に注意する必要がある。したがって、有効な2回目の露光を行うため、1回目のパタ

ーン露光後のソフトベーリング工程中に、フォトレジストの臨界温度を超えるべきではない。臨界温度を超えることを回避できない場合、並びに、ネガのフォトレジストが使用された場合、エッチマスクを通して非等方性プラズマエッチングを行うことによってフォトレジスト層をパターニングしてもよい。

【0133】図44を参照するに、このプロセスの次の工程で、ICチップ351及び352が暫定的な基板412の表面に取り付けられる。そのため、薄いポリマー粘着層414がスピンドルコーティングによって基板412の表面に形成される。チップ351及び352（又は、活性部品）は、正しい位置に設置され、層414に接着させられる。層414は、層414の材料が硬化を必要とし溶媒を含む場合に、粘着性を高め、次の硬化工程での溶媒の蒸発量を減少させるため、ソフトベーク処理してもよい。チップ装着工程は、図12乃至19に示された上記の活性基板20を形成する方法で使用された工程と同様であるので、これ以上の説明は行わない。前の工程のシード層が、完全な形若しくはパターニングされた形で維持される場合、層414が形成される前に、薄いクロム粘着層をシード層の上に形成することが好ましい。このような粘着層は、材料414が基板412の特定の材料に対し許容できない程度に僅かな粘着力しか持たない場合に好適である。チップ351及352を装着する別のアプローチとして、金属パッドをシード層に形成し、チップの裏面を金属で被覆してもよい。チップは、上記の金属ボンディング及びTLL法、並びに、通常のはんだ付けを用いて取り付けられる。層350が完成するまで、チップの裏面の金属パッドは層350の底面の信号線から絶縁されるべきである。しかし、一定のグランド若しくはバイアス電位へのカップリングは、電気回路の必要に応じて使用される。

【0134】次の研磨プロセスが使用されるので、チップ351及び352は、好ましくは、上記の多層金属構造体27x、27y、27z（図12）を含む電極27を有し、サブレイヤ27yはタンクステンのような研磨ストップ金属を含む。この多層構造体は、ICチップがウェーハ形式であるとき、すなわち、ダイス形ではないときに最もうまく形成される。チップの表面で電極が存在しない領域が広い場合、次の研磨プロセスで窪みが生じないようにするために、それらの領域に研磨ストップ材料の離間したパッチを堆積させることが好ましい。このような研磨ストップ層は、好ましくは、チップの上部のパッシベーション層に形成される。チップ351及び352は、典型的に、上記のエピタキシャルリフトオフプロセスで製作され、（数ミクロンから数10ミクロンの範囲の）非常に薄いチップ部品を作製できる。チップが厚いウェーハ技術を用いて製作される場合、チップは、厚さを減少させるため、裏面側で予め研磨（プレ研磨）される方が好ましい。従来技術において公知のこのプレ

研磨は、チップが未だウェーハ形式である間に行われる。従来技術において、非常に均一な研磨方法が知られ、かつ、研磨方法の改良が続けられているので、ELOを用いないで研磨することによって薄膜チップを得ることができる。この点に関して許容されるチップの厚さは、 $5 \mu\text{m}$ 乃至 $50 \mu\text{m}$ である。

【0135】図44に示されたICチップ351及び352は表向きに配置されているが、チップは裏返しに配置されても構わない。層350の底面のパッド及び電気経路が前の工程で形成された場合、粘着層414を使用せずに、金属拡散ボンディング、TLLボンディング、はんだボンディング、WIT接続などを用いてチップのパッドを底面の経路にそのまま接触させることができる。チップがこのように接合された場合、高温アンダーフィル材料は、エアーポケットを防止するためチップの下側に設けなくてもよい。層350の底面のパッド及び電気経路が未だ形成されていない場合、ICチップ351及び352の上面は層414に接着され得る。エアーポケットを防止するため、層414は、チップが配置されるときに可塑性流動可能状態に保たれ、チップは真空の条件下で層に押しつけられる。チップを基板の上に裏返しに配置することにより、GaAsチップに上記のエピタキシャルリフトオフプロセスを使用する際に以下の利点が得られる。すなわち、チップをGaAsウェーハから除去するため使用されるAlAsエッティング工程

(又は、AlGaAsエッティング工程)は、チップが暫定的な基板412に裏返しに配置されるまで延期しても構わない。基板412への配置後、チップの回路を収容するエピタキシャル層からバルクGaAs基板を分離するため、AlAs(又は、AlGaAs)エッティング工程が行われる。かくして、配置工程中にICチップを支持する機能はGaAsバルク基板によって得られるので、ICチップを支持するため、ポリマー膜、ガラス基板、若しくは、他の基板を用いる必要がない。GaAsウェーハ全体は基板412に裏返しに配置してもよく、合う理は、GaAs基板は個々のチップを相互に分離するため最初にダイス化されても構わないことが認められる。ウェーハ全体が配置される場合、バイアポスト333が形成される前に、配置が行われる。デバイスウェーハを基板412に装着する別の利点は、デバイスウェーハの裏面がチップの厚さを減少させるため研磨され得ることである。これは、特に、エピタキシャルリフトオフ工程を用いて除去することが困難、若しくは、除去できないチップの場合に有用である。

【0136】図45を参照するに、このプロセスの次の工程は、バイアポスト333、チップ351及び352、粘着層414の露出部分の上にポリマー層416を形成することである。層416は、これらの部品を单一のポリマー膜内に収める。コア材料、クラッド材料、ポリイミド、紫外線硬化可能エポキシ、及び、光屈折性材

料の多数のポリマー材料が使用される。不可欠ではないが、光屈折性材料は、SOLNET導波路形成プロセスで積層された層内に縦型導波路を形成したい場合に使用する必要がある。ポリマー層416は、好ましくは、材料をスピンドルコーティングすることにより形成される。層が形成された後、一般的に材料が硬化を必要とする場合に、層は硬化される。チップ351及び352の厚さが約 $15 \mu\text{m}$ よりも厚い場合、2回以上の別個の被覆及び硬化工程がある種のポリマー材料、特に、硬化中に非常に収縮される材料に対し必要とされる。

【0137】図46を参照するに、基板は、チップ351及び352の電極(例えば、パッド)と、バイアポスト333の上部とを露出させ、より平坦な表面を得るために研磨される。従来技術において公知の通常の研磨及び化学機械研磨プロセスを使用することができる。図47を参照するに、電極経路330及び接続パッド332の組が上面に形成される。これは、従来のいずれの導電性層形成方法を使用して行つてもよい。従来の形成方法の中の多くは図12乃至19を参照して既に説明した。例えば、導電性材料が一様にスパッタリングされた後に、パターニングされた基板のエッティングプロセスが使用される。

【0138】ここで、処理は異なる方向へ進められる。電気経路330及び接続パッド332が上記の通り厚いシード層をパターニングすることにより予め形成されている場合、ICチップ層350の形成は完了し、ICチップ層350は暫定的な基板412から取り外される。しかし、基板412は層350に非常に優れた寸法的な完全性を与えることができるので、暫定的な基板412を除去する前に、層350の上面はz接続組立工程で別の部品層に積層される。底側経路及びパッドが未だ形成されていない場合、プロセスの次の工程は、可溶性粘着層419を用いて第2の暫定的な基板418をICチップ層350の上面に取り付けることである。この取り付けの終了後、第1の暫定的な基板412が除去される。この工程の結果は図48に示されている。多数の可溶性エポキシ及び粘着材料は従来技術において公知であり、第1の暫定的な基板412に関する上記の方法と互換性がある。この時点以降の処理において、更なる硬化工程は必要とされないので、可溶性エポキシ及び粘着材料の選択の幅は大きくなる。可溶性粘着層を使用する代わりに、米国特許第5,258,236号に開示された基板解離技術における通常の粘着層、或いは、透明基板418と、紫外線が照射されると粘着性能が失われる粘着層419とを使用してもよい。透明基板418を使用する後者の場合、基板は、透明基板を通して伝達された紫外線光を粘着層に照射することにより剥離され、溶媒に晒される。上記の他の基板解離技術を使用してもよい。

【0139】次に、ポリマー粘着層414を除去し、チップ351及び352の厚さを選択的に減少させるた

め、選択的な研磨又はエッチング工程が行われる。この工程の結果は図49に示されている。次に、上側面に電気経路及びパッドを作製するため使用される何れかの工程を用いて底側電気経路330及び接続パッド332が形成される。この工程の結果は図50に示されている。完成したICチップ層350は、次に、暫定的な基板が未だ元の位置にある間に、z接続組立工程において、一般的に上側面が別の部品層に装着される。これによって、z接続組立のための積層プロセスにおいて、層350の良好な寸法上の完全性が得られる。第2の暫定的な基板418は、(例えば、粘着層419が可溶性であるならば粘着層419を溶解し、米国特許第5,258,236号に記載された除去工程を実施し、或いは、粘着層419に紫外線光を照射するような)適切な除去工程によって層350から解離される。

【0140】図43乃至50には、本発明の実施例で説明される他の処理工程と組み合わせて様々な形態で使用されるプロセス工程が示されている。例えば、経路及びパッドを形成するだけではなく、上記の底側処理には、例えば、ビームスプリット用の45°の鏡面及び光格子などの他の機能的部品を作製する工程が含まれ得る。また、図43乃至50に記載されたプロセスは、チップ351及び352が設置された後にバイアポストが形成されるように変更してもよい。この場合、チップ351及び352を基板上により滑らかに設置できる利点がある。さらに、図43乃至50のプロセス工程は、種々の単一基板、或いは、多数の基板が積層された構造体を製作するため、チップ351、352以外の異なるタイプのデバイス(すなわち、光電子膜)、及び/又は、導波路層に埋め込まれたデバイスを用いて繰り返してもよい。

【0141】図43乃至50に記載された方法は、ICチップを光電子部品若しくは材料と置き換えることによって、活性部品層320bを作製するため同様に適用される。導波路層320aは、下側クラッド層に埋め込まれたパターニングされた導波路コアを形成するため詳細な説明に記載された任意のプロセス工程を追加し、及び/又は、デバイス設置プロセスを削除することによって、図43乃至50に示された工程と同じ工程で作製される。例えば、バイアポスト形成の後に、クラッド層形成と、コアパターン形成と、上側クラッド層形成と、CMPと、上部メタライゼーション(或いは、下側クラッド層形成前のメタライゼーション)の工程が続けられる。導波路層320aは、例えば、図12乃至19に示された製作工程のような上記の作製工程の中の一部分の工程から形成され、使用されない工程は活性部品の組み込みに関連している。

【0142】本発明の説明のため記載されたすべての実施例、特に、精細(すなわち、非常に細かい)パターン及び形状を有する実施例の場合に、ポリマー層は、本願

の出願人に譲受された米国特許第5,444,811号に記載されているようなCVD(化学蒸着法)、蒸着メタライゼーション法、及び/又は、MLD(分子層堆積法)、或いは、これらの方法と他の通常の被膜方法との組合せによって形成される。さらに、本発明のすべての実施例において、部品層の上側面及び底側面は、反射ノイズを低減するため部品の上に形成された反射防止層である。

【0143】ICチップ層350を形成する幾つかの実施例を説明したので、次に、ポリマー導波路層320aを形成する方法について説明する。図51を参照するに、クラッド層21は、暫定的な基板450の上に形成され、上記の何れかの方法で硬化される。暫定的な基板450は、アルミニウム、水晶、ガラス、或いは、上記の暫定的な基板の構造により構成される。クラッド層21を形成する前に、粘着層及びシード層が基板450の表面に形成され、シード層は、層320aを通る導電性バイアのためのバイアポストを電気めっき形成するため使用される。図52を参照するに、コア層24が、上記の何れかの方法に従ってクラッド層21の上に形成され、硬化される。層320aがビームスプリッタ若しくは波長フィルタを有する場合、コア層24は、この時点で、部品の格子を形成するためエッチングされ、若しくは、光照射される。次に、格子は、異なる反射率を有する材料で充填される。

【0144】図53を参照するに、光導波路454の側面を画成するためレーザ切断が使用される。図53及び54は、3本の平行光導波路の側面図である。クラッド層21は、約10μmの厚さを有し、コア層24は約10μmの厚さを有し、導波路は10μm乃至50μmの幅を有し、導波路は約250μmのピッチで互いに離間されている。レーザ切断は、コア層24と同じ深さまで構わないが、実際上、クラッド層21とコア層24の合成された厚さと同じ深さに達する場合がある。レーザ切断の幅は、約20μm乃至75μmである。クリーニング動作は、好ましくは、レーザ切断工程からの破片を除去するため行われる。このクリーニングはプラズマエッティング工程によって実行してもよい。プラズマエッティング工程は、クラッド層21及びコア層24よりも速いレートで破片を食刻する傾向がある。除去されるべき破片の量を減少させるため、レーザ切断動作が実行される前に、フォトレジスト、或いは、他の硬化されないポリマー材料の層をコア層24の上に形成してもよい。切断動作中に、破片の大部分はフォトレジスト層の上部に残されるので、フォトレジスト層に溶媒若しくは現像溶液を塗布してにフォトレジスト層を除去することによって容易に破片を取り除くことができる。簡単なプラズマエッティングは、レーザでエッチングされたトレンチが汚れていないことを保証するため行われる。

【0145】図54を参照するに、上部クラッド層23

は、上記の何れかのクラッド層形成方法を用いて、バターニングされたコア層24の上に形成され、次に、硬化される。このとき、バイアポストは、シード層にアバーチャをレーザ穴あけ加工し、クリーニングし、めっきすることにより形成される。また、クラッド層23の上面に電気経路及びパッドを形成してもよい。

【0146】図55及び56は平行導波路の側面図であり、レーザ溶融によって形成されたようなレーザ切断部が、縦型カッパーの鏡面素子のためのペベルエッジを形成するため導波路の端に作製される。これらの切断部の角度は、図55に符号455で示されるように内向きであるか、或いは、図56に符号456で示されるように外向きである。導波路は、一方の端に内向き切断部を有し、もう一方の端に外向き切断部を有する。必要に応じて、上記の如く、金属のパッチがより正確なレーザ切断部をえるためにレーザ切断部位毎に形成される（図28の層161を参照のこと）。このとき、ペベル構造エッジは、簡単なプラズマエッティング工程でクリーニングされ、反射金属若しくは反射材料の層458が、外向きレーザ切断部456によって残されたペベル構造エッジの上に堆積される。電気経路及びパッドがクラッド層23の上面に予め形成されている場合、レーザ切断動作及び一様な堆積工程が行われる前に、最初にフォトレジストリフトオフ層を経路及びパッドの上に形成することが望ましい。

【0147】内向き切断部のペベル上に鏡面素子を形成するため、図57及び58に示されるように、第2の暫定的な基板452が上記の何れかの方法によって層320aの上部に装着され、第1の暫定的な基板450が除去される。図57に示された実施例の場合に、粘着層453は、第2の暫定的な層452と層320aとの間にある。ペベルは簡単なプラズマエッティングによってクリーニングされ、反射金属若しくは反射材料の層457によって被覆される。電気経路及びパッドは層320aの底側面に形成される。層320aはかくして完成し、ICチップ層350或いは活性部品層320bに組み付けられ、次いで、第2の暫定的な基板452が除去される。内向き切断部のペベルに鏡面素子を形成する別のアプローチによれば、反射金属は、第2の暫定的な基板が装着される前に、直接電解めっき、無電解めっき、直接めっき、又は、高圧CVD（10ミリトール乃至100ミリトール）を用いて内側面に堆積させられる。直接電解めっきの場合に、シード層が存在しなければならない。無電解めっきの場合に、ポリマー材料の表面に適当な活性化及び触媒処置が施される。

【0148】図46乃至58に示されたプロセスの変形例として、導波路は、レーザ切断ではなく、コア層24のプラズマエッティングによって画成される。コア層が形成され、硬化された後（図52）、クロムを含むような粘着層が層24に形成される。厚いフォトレジスト層が

粘着層に形成され、導波路454が形成されるべき場所を定めるようバターニングされる。クロム粘着層の露出部分は、クロム用の高速化学腐食液によって食刻され、得られた構造体は、図59及び60に示されるように、層24の露出部分を除去するためプラズマエッティングされる。導波路に光の漏れが生じないことを保証するため、好ましくは、下側クラッド層21の中まで少しだけ余分にエッティングされる。プラズマエッティングの後に、残りのフォトレジスト層及び粘着層が除去され、クラッド層23が形成され、硬化される（図60）。残りの処理工程は、図55乃至58に示されているように実施される。

【0149】上記のように、他のプロセスの場合に、コアは受光材料により構成され、光照射によって硬化される。この場合、コアバターニングは、RIEプロセスではなく、パターン化された露光プロセスによって行われる。この場合、RIE技術のレーザ切断の他に、特願平8-262265号明細書に記載されているような傾斜したリソグラフィ露光技術がペベル構造エッジを作製するため使用される。フォトマスクを介した直接的な露光は、プロセスの簡単化のため好適である。しかし、表面がソフト硬化後に十分に適当であるならば、金属マスクがフォトマスクとして作用するよう表面に形成される。さらなる平坦化が求められる場合、上側クラッド層が形成された後に、CMPが行われる。

【0150】一般的に、図55に示された内向き切断部の鏡面よりも、図56に示された外向き切断部の鏡面を製作する方が簡単であるが、両方のタイプの鏡面構造を経済的に製作できることが望ましい。図55及び56を参照するに、内向き断面部及び外向き断面部の両方の鏡面は、互いに鏡像である台形を画成する。図56の台形状表面の上面が光電子基板に装着された場合、装着された光電子基板上で内向き切断部の鏡面として作用する。したがって、外向き切断部の鏡面として製作された鏡面は、図56に示されるように、図58の内向き切断部の鏡面として機能する別の光電子表面に装着される。この方法によって、内向き切断部の鏡面を有する多層光電子基板を製作する高歩留まりプロセスが容易に実現される。

【0151】図61乃至65には、活性部品層を導波路層に追加する方法の一例が示されている。図61乃至65に示された導波路層及びバイアポストは、例えば、図43乃至50及び図51乃至60を参照して説明した方法で作製される。図57に示された導波路層320aから始めて、切断部455及び456により作成されたボイドは、通常、ポリマー材料である材料によって充填され、表面が平坦化される。電気経路及び相互連結パッドはクラッド層21の露出面上に形成され、バイアポストは、先に説明したバイア形成工程の電気めっきにより形成される。この工程の結果は図61に示されている。次

に、図62を参照するに、VCSEL発光デバイス36は基板上に裏返しに配置され、電極は金属拡散ボンディングによって対応したクラッド層21上のパッド332及び／又は経路330に接合される。高温アンダーフィルは、好ましくは、発光デバイス36の下側に施される。受光素子デバイスのような他のデバイスは、同様に取り付けられ、処理されるが、視覚的な明瞭さのため図示されていない。このように図62に配置された各デバイスは、導波路の端、若しくは、縦型ビームスプリッタの分岐で鏡面構造458の上に重なる活性領域を有する。

【0152】図63を参照するに、ポリマー層25は、デバイス36及びバイア333をポリマー材料の膜に封止するため表面上に形成される。SOLNETプロセスによって縦型導波路を形成するため有効なクラッド材料、コア材料、ポリイミド、エポキシ、紫外線硬化可能エポキシ、及び、光屈折材料を含む任意のタイプの材料が使用される。層25は、必要に応じて硬化され、バイア333の上部を露出し、層25をより平坦化し、場合によっては、部品への付加的な電気接点を作成するような必要があれば、層25に埋め込まれたデバイスの表面を露出させるため研磨される。これらの工程の結果は図64に示されている。次に、図65に示されるように、電気経路及びパッドは研磨された層25の上面に形成される。経路は、既に説明したいずれのパッド／経路形成工程を用いて形成しても構わない。活性基板320はかくして形成され、寸法制御のための暫定的な基板452を用いて、ICチップ層350又は、導波路層のような他の活性層、若しくは、チップに組み付けられる。この組立は、上記のいずれの方法を用いて行っても構わない。組立後、暫定的基板452は上記の何れかの基板解離方法によって除去される。

【0153】或いは、図61乃至68に示されたような形で導波路層を活性デバイス層の上に積層してもよい。この場合、VCSELは表向きに配置されるべきである。さらに、導波路層、活性デバイス層、チップ層のような種々の層の組合せが、図43乃至65に示された何れかの工程の組合せによって積層される。図59乃至77についての説明既に説明したように、チップ上に予め構築され、導波路材料の屈折率よりも高い屈折率を有するスイッチデバイス又は横型発光デバイスを使用するとき、ある種の場合に、導波路とチップデバイスとの間に良好な光カップリングを実現するため、デバイスの幅を導波路の幅よりも狭くすることが推奨される。導波路とチップデバイスの間の高カップリング効率は、多数の電子光プロセスの効率を高めるので望ましい。例えば、高いカップリング係数によって、光モードはスイッチ／変調器と強く相互作用するので、より低電圧のスイッチ及び変調器を使用することができる。活性デバイスのデバイス幅を狭くと、デバイス容量が減少するので、より高

速の動作を実現できるようになる。同じ理由から、チップ部品のたかさを導波路の高さより低くし、チップを導波路の中心に配置することが望ましい。活性デバイスの厚さを減少させることにより、デバイス内の電界が大きくなるので、低電力（電圧）動作が可能になる。高さを低くしてチップの中心を位置決めする工程については後述するが、この工程は上記の作製工程に組み込んでも構わない。図67は望ましい結果の平面図であり、図68は望ましい結果の断面図である。高い屈折率を有するチップ形式の4個のスイッチデバイス26a-26dは、大きい幅と厚さを有する4個の対応した導波路24a-24dと直線状に接続される。導波路24a-24dとデバイス26a-26dとの反射を減少させるため、デバイス26a-26dの端は徐々に細くなるようテーパが付けられる。最適なカップリングのためのこのテーパの量と、各デバイスと導波路24の間の幅の減少量は、屈折率の差に依存する。最適カップリングのため必要な値は、光学的なシミュレーションによって非常に良く計算される。図76及び77は、スイッチデバイス26aのチップが導波路24bの高さよりも低い高さを有し、チップの中心が導波路の中央に位置決めされている様子を示す断面図である。中心の位置決めは、下側クラッド層21aの上に形成されたクラッド層21bのペデスタルによって行われる。

【0154】図66を参照して、図74乃至77に示された構造体を作製する工程の一例を説明する。ベース基板12から始めて、第1のクラッド層21aがベース基板12の表面に形成され、硬化される。クラッド層21aは上記のいずれのクラッド材料により構成されても構わない。次に、第2のクラッド層21bがクラッド層21aの上に形成される。このクラッド層は、感光クラッド材料を含む上記のいずれのクラッド材料でもよい。クラッド層21bが硬化される前に、前例の作製方法で行われたようにデバイスチップ26がクラッド層21bに接着される。層21bは、ソフトベーク処理され、ポリマークラッド層をフッ素化するため使用された溶媒が除去される。これらの工程の結果が図67の断面図と図68の平面図に示されている。クラッド層21bが感光材料ではない場合、好ましくは、この時点で硬化される。これらの工程中に、適切な電極構造体が上記の如く層内に形成され得るが、電極構造体を形成する工程は省略されている。しかし、当業者は、電極構造体の形成工程を上記の作製工程に容易に組み込むことができるであろう。

【0155】このプロセスの段階で、チップ26は、個々のデバイス26a-26dを画成するようにバターニングされた大きい材料片である。これは、クラッド層21b及びチップ26の上部にフォトレジスト層を形成し、フォトレジスト層をパターン露光、現像し、個々のデバイス26a-26dが形成されるべき場所にチップ

26上にフォトレジストのパッチを残すことによって行われる。チップ26の露光部分は、適当な腐食液によってエッチングされ、個々のデバイスが画成される。これらの工程の結果は、図69の断面図と図70の平面図に示されている。このパターニング及びエッチング工程は、チップデバイスにテーパを付ける。チップ26が多層構造体である場合、異なる腐食液を使用する複数のエッチ露光段階が必要になる。

【0156】クラッド層21bが感光材料を含む場合、フォトレジスト層のパターン露光は、充分に長い露光を用いることによって、チップ26の下側を除くクラッド層21bのすべての部分をパターニングすることができる。この場合、クラッド層21bの部分は、フォトレジスト層の現像工程で除去される。しかし、これは有害な結果ではない。必要に応じて、フォトレジスト層が完全に露光され、クラッド層21bが不完全に露光されるように、露光工程のエネルギーを調節することができる。また、この段階でクラッド層21bが露光されないように携帯型等角マスキング構造体を使用してもよい。

【0157】次の工程として、パターンニングされたデバイス26a-26bの下側を除くクラッド層21bのすべての部分は除去される。層21bが感光性である場合、これは、化学放射線を一様に露光し、クラッド層21bが保持されるべき場所に放射線が衝突することを阻止するため個々のチップ26a-26dを使用することによって実現される。クラッド層21bは、次に現像、硬化される。これによって、層21bのセルフアライメントされたパターニングが行われる。これらの工程の結果は図71の断面図に示されている。前のパターニング工程で個々のチップ26a-26dの上部に残されたフォトレジスト材料は、この一様な露光を受け、現像溶液、場合によってはクラッド層21bの現像工程で使用される現像液によって除去される。フォトレジスト層及びクラッド層21が適合しない化学的性質を有する場合、バリア層が二つの層の間に形成される。バリア層は、好ましくは、不透明であり、フォトレジスト層がデバイス26a-26dをパターニングした後に除去される。クラッド層21bは、上記と同様に、一様な露光によって画成される。クロム又はタンゲステン層がバリア層として使用される。

【0158】クラッド層21bが感光材料を含まない場合、望ましくないクラッド層21bの部分は、個々のチップをエッチングマスクとして用いるプラズマエッチングによって、必要に応じてフォトレジストパッチと共に除去される。この場合、余分なフォトレジストはエッチング工程後に除去される。エッチング時間は層21bだけをエッチングするよう制御可能であるが、層21bが形成される前にプラズマエッチ・トップ層を層21aの上に形成し、プラズマエッチング工程によって層21bが画成された後にプラズマエッチ・トップ層を除去

してもよい。このトップ層のため、クロム層を使用できる。

【0159】このプロセスの次の工程は、図72に示されるように、得られた構造体の上にコア層24を形成する。このコア材料は、図74の平面図と図73の断面図に示されるように、導波路を画成するためパターニングされる。感光材料又は光屈折材料及び光照射を含む上記のいずれのパターニング方法を使用してもよい。導波路の端は、好ましくは、デバイス26a-26dのテーパ側に接し、又は、テーパ側に部分的に侵入する。次の工程で、図76に示されるように、クラッド材料の層23が構造体の上に形成され、硬化される。経路、パッド、鏡面素子、ビームスプリッタ素子、及び、上記の他の特徴を形成するための付加的な処理工程は、この段階で行われる。

【0160】次の工程として、デバイスの上部電極、バイア、及び、層の上面の電気経路が形成される。この層は、別の支持用基板に取り付けられ、元の基板12は取り外される。デバイスの底側電極、バイア、層の底面の電気経路を形成するため、裏側処理が行われる。金属電極が第2のクラッド層21bの上部若しくは内部に形成されたとき、ミニチップがこれらの金属電極に配置され、先に説明した金属拡散、金属ボンディング技術、T LB、及び、はんだボンディングによって金属電極に接続される。また、金属電極がミニチップの表面に形成された場合、1個以上のチップの電極がクラッド層23の上面に形成された金属パッドに接着させられる。これにより、電気的接続及び物理的取付の両方が得られる。さらに、ミニチップへの信号が対向面上の経路から得られる場合に、面間のバイアは、よりコンパクトな接続配置が得られるように接続パッドの下側にある。これによって、ミニチップへの電気接続を作成するために表面積を効率的に利用できる。

【0161】図72に示されたコア層被覆工程において、選択的なクラッド層がコア層の上に被覆され得る。コア層が部分的又は完全に硬化した後、選択的なクラッド層が被覆され、ソフト・アンド・フル硬化される。コア層の厚さが光電子デバイスの高さよりも僅かに大きい場合、研磨された表面はクラッド層内にある。この2層アプローチは、コア層とクラッド層の間の境界面の平坦さを改善し、光散乱損失を減少させる。或いは、光散乱損失は、CMPプロセスが上側クラッド層の形成後に行われた場合に削減される。

【0162】別のプロセスの変形例では、1回以上のCMP工程は、CMP平坦化表面からの光モード散乱と関連した光散乱損失を減少させるため削除される。光照射によって硬化されるような感光導波材料が使用されるとき、コア層付近のCMP平坦化は不要である。図72に示された工程後、導波路パターニングは、パターン化された光照射によって行われる。平坦化工程は、必要に応

じて上側クラッド層が形成された後に行われる。

【0163】コアパターニングプロセスの別の変形例として、ミニチップは、ミニチップを図67のクラッド層21bに取り付ける前のコア及びクラッド構造体を含む。この場合、チップ26、デバイス26a-26cは、図75及び77に示されるように、素子26'、26a'、26b'及び26c'によって置き換えられる。これには、幾つかの利点がある。屈折率プロファイルは、ミニチップのエッジに向かって制御される。特に、チップコア及びチップクラッドの屈折率は、非常に接近させること（屈折率の差を小さくすること）が可能であり、これにより、ミニチップの両方のエッジで導波路への光カップリングの効率を高めるためビームスポットサイズを容易に拡大することができる。

【0164】図12乃至21、図66乃至76、図83乃至90、及び、図91乃至98に示された実施例は一例に過ぎず、当業者は、特定のアプリケーションの要求に従って、これらの実施例及びその他の実施例、並びに、本発明を実現する装置と方法に関係したすべての実施例の本質的な面を組み合わせることが容易である。図66乃至76に記載された方法は、多数の非エピタキシャル膜と共に使用することができる。例えば、TiO₂、WO₃、SiN_x、又は、Si膜のような高屈折率膜と同じ方法で埋め込むことができる。これらの膜は、Si、金属、又は、ポリマー基板のような選択的に除去可能な基板を用いてリフトオフされた膜として得ることができる。高屈折率導波路は、光遅延ラインとしても使用される。希金属ドープトガラス膜が埋め込まれた場合、光増幅器として使用される。ルミネッセンス膜、光屈折膜、非線形光学膜のような他の光学膜は、図66乃至77に示された方法を使用して光導波路として同様に組み込むことができる。埋め込まれた膜の屈折率がコア材料よりも大きい場合、コア材料は層21bのために使用してもよい。この場合、埋め込まれた膜（図73）の上のコア層のエッチングは不要であり、上側クラッド層は図72に示された工程の後に被覆することができる。

【0165】上記製造プロセスは、活性光電子デバイスを含み、導波路層を含まない膜を製作するために使用してもよい。図155には、デバイスが埋め込まれた光電子膜を製作するプロセスの一例が示されている。電気パッド、電気ライン及び電極は、基板上に形成される（図155の（a））。薄膜デバイスは基板上の金属パッド／ラインに配置される（同図の（b））。薄膜デバイスは、ELOプロセスを用いて製作される如何なる薄膜デバイスでもよい。ポリマー膜は基板を被覆するため使用され、薄膜デバイスをポリマー中に埋め込む（同図の（c））。ポリマーは、次に、研磨によって薄膜デバイスのレベルまで平坦化される（同図の（d））。表面コンタクトパッド及びバイアは、平坦化されたポリマー上

に形成される（同図の（e））。光電子膜の基板は、光電子デバイスが導波路層のような別の層に取り付けられる前（同図の（f））若しくは後（同図の（g））に除去される。或いは、薄膜デバイス配置工程の後にバイアポストを作製し、その後に、埋め込み、平坦化、コンタクトパッド形成の工程を続けてよい。さらに別の選択として、バイアの形成方法とは無関係に、バッファポリマー層を基板、パッド、電気ライン及び電極の間に挿入してもよい。また、電極を含まない薄膜デバイス（例えば、エピタキシャル層）を使用することが可能である。この場合、デバイスは、金属パッドの代わりにバッファポリマー層に配置される。上部電極を形成するメタライゼーション工程、及び／又は、他のデバイス処理工程（例えば、イオン注入、拡散）は、ポリマー被覆工程の後に行なうことができる。デバイスの底側のメタライゼーションは、裏側処理によって行われる。このアプローチは、ポリマー硬化中の金属拡散及びデバイス劣化を減少させる。

【0166】図78乃至81に関する説明について
マルチチップモジュール相互連結構造について更に説明する。これらのモジュールは上記の製作方法によって製作することができる。図78に示されたフリースペース

（自由空間）光相互連結システムにおいて、光信号は2枚の積層されたボード501と502の間の自由空間を伝達される。積層された各ボード501及び502は、光を空気の区画、すなわち、自由空間を介して対向した受光素子508に伝達する複数の光スイッチ506を有する。各光スイッチは導波路503によって光パワーが供給され、導波路503はパワーをスイッチ506の一方の表面と格子ビームスプリッタ504を有する。光は光デバイス（例えば、電子吸収若しくは電子光材料のミニチップ）の一方の表面に垂直に入射し、光デバイスの反対側の表面から垂直に出射する。光がボード501及び502から出る前に、材料層510に形成されたマイクロレンズ511を通過する。光は、受光素子デバイス508に入射する前に他のマイクロレンズを通過する。マイクロレンズは層510のバルク材料よりも高い屈折率を有する材料の一区画であり、光が放射されるとき、及び、光が集められるときに、光を集束させる機能がある。マイクロレンズはそれだけで使用してもよいが、必要に応じて、マイクロレンズの光学的焦点を調節するため他の光素子をボード501と502の間に挿入してもよい。

【0167】マイクロレンズは、好ましくは、光屈折材料（例えば、デュポン社から入手できるポリガイド（Polyguude））のシートを使用し、マイクロレンズを形成するための書き込みビームによってそのシートを露光することにより、SOLNETプロセスによって作製される。層510の表面から見たときの各マイクロレンズの断面は、円形若しくは矩形である。層510の表面は、

光カップリングを改善するため反射防止材料によって被膜される。また、マイクロレンズの屈折率に近い屈折率を有する光学材料が光カップリングを改善するためボード501と502の間に設けられる。

【0168】ボード501と502の層は、上記のプロセスに従って、別々に作製され、次に、一つに積層される。各層の間には、デバイスとマイクロレンズの間の光カップリング、並びに、パワー導波路503と光スイッチ503の間の光カップリングを改善するため、ポンディングシート若しくはアンダーフィルが使用される。これらの層は、勿論、図79に示されるようにボード501及び502によって一体的に形成してもよい。

【0169】図78乃至79に示された実施例と、図37乃至42に示された実施例との間の主要な相違点は、送信器としてVCSELの代わりに縦型光スイッチ（若しくは光変調器）が使用されることである。しかし、マイクロレンズアレイは、光をこのアプリケーションにおける光スイッチ506に結合するため任意の技術と組み合わせて使用される。例えば、光電源をスイッチ506に結合するため格子を使用する代わりに、45°の鏡面を使用してもよい。或いは、図39乃至42に示されるような形で分岐した導波路は、光スイッチ506に光を結合するために使用され得る。縦型光スイッチ506は、電子吸収変調器のような多数のスイッチ構造体を含む。

【0170】この概念は、図80に概略的に示されるように活性層320とICチップ層350の積層に縦型光接続を形成するため拡張される。図80によれば、VCSEL、受光素子、及び、変調器のような活性部品は、説明の便宜上省略されているが、縦型カップラーを備えた基板内に含まれる。図80に示されるように、一つの実現可能な方法として、層は光反射材料から作製される。SOLNETプロセスは、互いに積層されたときに縦型導波路、或いは、いわゆる光学z接続を形成する縦型マイクロレンズを製作するため使用される。光屈折材料から作られたポンディングシートは、活性層320b、導波路層320a、及び、ICチップ層350を一体的に積層するため使用される。各層に光学z接続を製作するため、他の方法をSOLNETに加えて適用してもよい。

【0171】縦型光接続は、図81に示されるように、活性基板705の組の両側に結合された別々のユニット710として構成してもよい。活性基板705は図37に示された形式でもよい。ユニット710は、z方向に形成された複数の縦型導波路を有し、基板705のエッジで導波路に光結合する。ユニット710は、図82に示されるような製造工程のシーケンスを使用して作製してもよい。屈折性材料（例えば、ポリガイド）の複数のシートから始めて、ポンディングシートの短い区画がシートの左側エッジに取り付けられる。これらのシートは

一体的に接着され、書き込みビームを用いてSOLNETプロセスが光屈折シートの右側エッジに適用され、縦型導波路が形成される。次に、シートが硬化され、基板705に組み立てられる。

【0172】図118乃至120には、別の光電子3次元(OE-3D)スタック構造が示されている。チップは、光相互連結を形成するため能動デバイス膜及び受動デバイス膜を含む多数の異なる光電子膜基板構造体に組み込まれる。図121は、本発明において、多層OE基板を作製するため複数のOE膜が光学z接続を用いて積層される様子を説明する図である。図122乃至125に示されるように、スタック構造は、多数の異種の膜を含む。図122に示されるように、OE膜は、付加的な電気ライン、パッド、バイア、電圧面、及び、グランド面を含む受動ポリマー導波路により構成される。図123に示されるように、ポリマー膜は、付加的なメタライゼーションを含むポリマー膜に埋め込まれた光電子デバイスを有する。能動光電子デバイスには、VCSEL、光変調器、光スイッチ、光増幅器、波長フィルタ、チューナブルフィルタ、波長変換器、受光素子、ドライバチップ、増幅器チップ、LSI、光部品、抵抗、コンデンサ、及び、その他の電気部品のような上記のあらゆるデバイスが含まれる。複数の部品が集積化されたミニチップを埋め込んでもよい。図124に示された実施例の場合に、受動導波路及び能動光電子デバイスは、付加的なバイア及びコンタクトメタライゼーションと共に一つの膜に集積される。図124には、導波路、VCSEL及び受光素子を含む第1の実施例が示され、図125には、導波路に接続された光変調器及び受光素子が示されている。さらに複雑な多層導波路は、図122、124及び125の実施例に含まれている。

【0173】電気的及び光学的z接続を用いて異なるOE膜タイプを積層する能力によって、多数のパッケージ構造が得られる。図126乃至129には、膜光リンクモジュール(FOLM)の側面図が示されている。FOLM構造は、他のボード又は他のシステム素子に接続されるべきチップ、CSP又はMCMから光信号を簡便に取り出すことが可能であり、システムエンジニアは、チップのモジュールを多様な形式で光リンクする柔軟性が得られる。図126に示されるように、導波路、VCSEL及び受光素子を含む光電子膜(OE-膜-DW)は、電子-光変換及び光-電子変換のため使用される。集積ドライバを含むVCSELと、集積増幅器を含む受光素子を使用してもよい。ファイバアレイ、イメージガイド、又は、導波路アレイは、コネクタを用いて、光電子膜の端で導波路と接続され、他の素子への光リンクを形成する。VCSELは、チップの出力に応答して、光リンク（ファイバアレイ、導波路アレイ、又は、イメージアレイ）を介してOE膜に接続されたボード若しくはユニットに伝達される光信号を放出する。ファイバアレ

イ、イメージガイド、又は、導波路アレイは、好ましくは、ボード及び／又はユニットの間で光相互連結を行うため、他のボード又はユニットと接続される。逆に、O E膜の外側から光リンクを介して導波路に接続された光信号は、O E膜内の受光素子によって受信される。光信号は電気信号に変換され、チップに入力される。

【0174】図127に示されるように、同じ機能は、受動導波路基板(O E-膜-W)を、能動O Eデバイス(O E-膜-D)だけを有する他の基板とインターポーラー(介挿物)の形で積み重ねることによって実現される。VCSELは、チップ出力に応じて、電子光変換機能を実現し、一方、受光素子は、受信された光信号に応じて、光電子変換機能を行う。図128には、膜光リンクモジュール(FOLM)の一実施例が示されている。この膜光リンクモジュールでは、導波路と、VCSELと、受光素子とを備えたO E基板(O E-膜-DW)は、チップが実装されたMCMの下側にある。図129には、受動導波路膜(O E-膜-W)と能動O Eデバイス膜(O E-膜-D)とが相違している点を除いて図128の実施例と類似した膜光リンクモジュールの実施例が示されている。

【0175】図128に示された構造体において、O E膜は、基板の端の下に延びる左側のエッジを具備しない基板の上に積層される。図126、127、129及び134で使用されている横型光コネクタは、O E膜への縦型2次元光コネクタによって置き換えられる。縦型コネクタは、O E膜の導波路を2次元(2D)ファイバアレイ(又は、ファイバイメージアレイ)の端に接続する。縦型コネクタの場所において、縦型カッpler(例えば、鏡面)が、O E膜内の光信号を2Dファイバアレイの方に向けるため、或いは、逆向きにO E膜内に形成される。2Dファイバアレイ内の複数の導波路コアの端は、縦型コネクタの接続面で終端し、各導波路コアの端はO E膜内の対応した縦型コネクタの上に設けられる。このタイプの面法線カッplingは、殆どの並列相互連結の場合に有効であり、このタイプのアプリケーションに好適である。この面法線カッplingは、O E膜が2Dファイバアレイ(若しくは、ファイバイメージガイド)に光結合されている本発明のあらゆる実施例と共に使用することができる。

【0176】上記の通り、図35乃至42、及び、図119乃至120に記載されたスタック構造は、膜光リンクモジュール構造を作製するため使用される。例えば、図126及び128の場合、ドライバ／増幅器チップ層は、O Eデバイス(例えば、VCSEL、フォトダイオード、変調器など)と、チップ若しくはMCMモジュールの入出力端子との間の境界面として機能するようにO E-膜-DWの上に積層され得る。図127及び129の場合に、ドライバ／増幅器チップ層はO E-膜-D上に積層され得る。どちらの場合も、O E-膜と、ドライ

バ／増幅器チップ層は、z接続(ラミネーション)プロセス、若しくは、ビルトアッププロセスによって積層することができる。勿論、ドライバ／増幅器チップ層は、例えば、ドライバ回路、増幅器回路、バイアス回路、温度安定化回路、スキー補償回路、同期回路、並びに、その他の適当な回路のような任意の補助回路を含み得る。また、チップ及びO Eデバイスは、同じ層(O E-膜)に共存してもよい。

【0177】電気入出力端子間と、電子光或いは光電子変換部品との間の距離は、従来の光リンクモジュールにおける距離よりも短縮される。このため、相互連結性能が改善される。さらに、従来の光リンクモジュールでは、余分な空間が必要とされる。本発明の膜光リンクモジュール構造の場合に、余分な空間は殆ど必要とされない。

【0178】図130は、必要に応じて、信号スキーを緩和させるべく光路長を調節するため導波路を湾曲させることができるようにO E膜の一部が十分な空間を有している、膜光リンクモジュール構造の平面図である。より詳細には、種々のチップ／領域、ボード、ユニット、若しくは、モジュールの出力から入力までの信号の移動時間が一致するように、導波路のルート、バス長を調節することができる。他の導波路パラメータ(例えば、屈折率)を変更するような移動時間を調節する他の技術は、スキーを防止するため利用できる。

【0179】図131の平面図及び図132の断面図に示されるように、コネクタは、好ましくは、信号をコネクタに容易に連通させる光調節機能を実施するためコネクタバッファを含む。例えば、コネクタバッファは、スポットサイズを調節し、導波路ピッチ(すなわち、導波路の間隔)を変更する。例えば、コネクタバッファは、湾曲した導波路バスを有するので、1個以上の平面状のポリマー導波路の1次元アレイを導波路の2次元アレイに接続することができる。図130に示されるように、可撓性基板領域の拡張部は、リボン状にパターニングされ、それぞれに複数の導波路が含まれる。複数のリボンはらせん状になり、その結果としてリボンの端は2次元導波路アレイを形成する。長さ5cmのリボンの場合に、個々のリボンは、かなり小さい応力で90°ずつ曲げられる。ポリマー膜の厚さは、約10乃至250ミクロンの範囲内に収まることが好ましい。各リボンは、例えば、約30乃至250ミクロンの範囲内のピッチで12本の導波路を収容する。複数のリボンの端は、フレームコネクタの形に積み重ねられ、2次元導波路コネクタを形成するように研磨される。コネクタバッファの外側面は、好ましくは、外部光コネクタへのカッplingが容易に行えるように成形される(例えば、平面状表面とカッplingする表面を形成するため研磨、スライス、或いは、その他の成形処理をされる)。これにより、膜光リンクモジュールFOLMの導波路を、2次元

ファイバアレイ及びイメージガイドのような多数の光カップラーに接続できるようになる。図133には、コネクタバッファ内の光信号が、アレイ状に配列された複数の導波路コアを含む2次元導波路アレイコネクタに回送される様子が示されている。コネクタバッファは、好ましくは、光調節機能を実行するので、光電子膜の複数の導波路は、2次元光コネクタのような市販されている光コネクタに光学的に結合される。古河電工製のMTコネクタは、好ましいマルチファイバコネクタの一例である。コネクタバッファは、本発明による膜光リンクモジュール構造に波長分割多重化機能を付加するため、波長マルチプレクサ(MUX)及び波長デマルチプレクサ(DEMUX)などの波長分割多重化(WDM)機能を含む。図128に示された面法線の場合に、上記の機能及び部品と同じ機能及び部品が使用される。

【0180】図134には、高速膜光リンクモジュールの一実施例が示されている。高速光変調器は、外部入力光から光信号を発生させるためチップの出力によってドライブされる。光変調器は、VCSELよりも低い電流散逸及び低い電力散逸で動作し得る。高い光信号レベルでは、高速及び低熱発生タイプの増幅器／ドライバを含まない光電子基板(OE-ADLES)を使用することが好ましい。OE-ADLESの場合に、光変調器はチップの出力と適合する電圧ドライブ特性を有するので、光変調器はチップ出力によって直接的にドライブされる。したがって、付加的なドライバは、チップから変調器をドライブするために必要とされない。さらに、入力光パワーを増加させることにより、受光素子における光信号は充分に強くなるので、受光素子増幅器を省略してもよい。参考のため引用する1998年10月12～15日に千歳で開催された第8回Iketani Conference, 第4回International Conference On Organic Nonlinear Optics(ICNO'98)において発表されたヨシムラ他による“Optoelectronic Amplifier/Driver-Less Substrate, 0 E-ADLES, For Polymer-Waveguide-Based Board Level Interconnection-Calculation Of Delay And Power Dissipation”には、OE-ADLES装置及び方法が記載されている。OE-ADLESは、光電子基板のコスト及び複雑さを増大させるドライバと増幅器を省略でき、かつ、ドライバと増幅器に起因する信号遅延が減少させる点で好ましい。

【0181】膜光リンクモジュールは、多数の光電子膜基板が積層された構造体により構成される。図135乃至137には、膜光リンクモジュール(FOLM)構造体の好ましい一実施例の細部が示されている。図135はFOLM構造体の側面図であり、図136はFOLM構造体の全体の上面図であり、FOLM導波路を市販されているMTコネクタに接続するスポットサイズコンバータが設けられている。図136に示されるように、16個のMTコネクタ出力の一つずつに12本のFOLM

導波路が繋がるので、FOLM内で光信号を通信する19本のチャネルが存在する。市販されているMTのコアは、62.5ミクロン×62.5ミクロン、5のコアを有するので、長さ5cmのFOLMは、(コア寸法が15ミクロン×15ミクロンの)光電子導波路のスポットサイズを徐々に増大させ、MTコネクタに効率的に結合するように導波路を変形するコネクタバッファとして機能する。面法線カップリングの場合に、リボンの代わりに、2次元アレイコネクタ(例えば、16×16=256)を、基板にしっかりと積層されたOE-膜に取り付けることが可能である。

【0182】図137の(a)及び(b)には、好ましい製造方法によって、金属被覆処理された45°の鏡面によって導波路に電気的及び光学的に接続されたVCSELが得られる様子を説明するFOLM構造体の一部の詳細が示されている。図137の(a)及び(b)からわかるように、VCSELのAuコンタクト層の一部分は、鏡面金属被膜に電気的に接続され、VCSELへの電気接続が容易に行えるようになる。約10ミクロン×10ミクロンのオーダーの面積を有するVCSELの発光窓は、光が金属被覆された鏡面上に衝突し、導波路内へ反射されるように向きを決められる。

【0183】FOLM構造体の製造プロセスの一例は、好ましくは、アルミニウム基板、ガラス、水晶、又は、後で好適に除去され得る他の適当な基板の上に第1のポリイミド膜を形成する工程を含む。第1のポリイミド膜が形成された後、コンタクトパッド及び電極がポリマー層の表面上に堆積される。パッドはVCSEL及び受光素子を実装するためバターニングされる。エピタキシャルリフトオフVCSEL及び受光素子は、コンタクトパッドに載せられる。好ましくは、VCSELをコンタクトパッドに接着するためAu/Sn/Au金属拡散が使用される。第2のポリイミド層若しくは他の適当なポリイミド層はVCSEL上に被覆される。表面はCMPによって平坦化される。導波路クラッドフッ素化ポリイミド層(又は、紫外線硬化可能エポキシ層)が平坦化されたウェーハ上に形成される。次に、コア層が、堆積、バターニングされ、先の実施例に関して説明したように上側クラッド被膜内に埋め込まれる。45°の鏡面は、RIE及びレーザ溶融のような上記の何れかの製造プロセスに従って形成される。鏡面は次に金属被覆される。同じ金属被覆が好ましくはVCSELの電極及び/又はVCSEL用のパッド及び/又はバイアを接触させるため使用される。ポリイミド層は、表面上に被覆され、必要に応じて、CMPで平坦化される。AI基板は次に除去され、第1のポリイミド層は、光電子膜への接点及び/又はパッド及びバイアを作成するため除去若しくはエッチングされる。或いは、AI基板の除去は、光電子膜が別の基板に取り付けられた後に実行され得る。

【0184】図138乃至145に示されるように、複

数のチップ/CSP/MCMが実装され、光電子介挿物（或いは、光電子インターボーザー）（OE-IP）、又は、上記の製造プロセスによって製作された光電子膜マルチチップモジュール（OE-film-MCM）を使用して電気的及び光学的に接続され得る。OE-IPは、チップ、CSP若しくはMCMと、单層若しくは多層のOE層の間に介挿され、好ましくは、少なくとも1個の他の素子への光接続を提供する。多数のOE層は、既に説明した方法と同じ方法で構築され得る。OE層は、はんだボンディング、TLB、WIT、金属拡散、及び、米国特許第5,334,804号に記載された方法、コンダクティングペースト、又は、その他の積層プロセスによって積層される。一つの好ましいペーストラミネーションは、本願出願人に譲受され、参考のため引用される米国特許出願第09/192,003号明細書に記載されたMAJICペーストラミネーションである。

【0185】本発明による光電子介挿物OE-IPは、種々の方法でOE-IPに配置された多数の光源、及び／又は、受光素子若しくは他の部品、及び／又は、集積部品を含む。図138に示されたOE-IPの一実施例において、VCSEL及び受光素子は、OE-IPのポリマー膜に埋め込まれる。図141には、VCSELの代わりに光源に接続された光変調器と送信器とを使用するOE-IPが示されている。光源は、OE層又はOE-IP上の光源から供給される。光源は、図142に示されるように、光ファイバ、光ファイバアレイ、イメージガイド、又は、フレックス導波路アレイを介して、外部源から供給してもよい。適当な光変調器は、マッハ・ツェンダー・変調器、内部全反射スイッチ、デジタルスイッチ、指向性カップラースイッチ、若しくは、電子吸収（EA）変調器のような電子光デバイスを含む。

【0186】図146には、OE-IP光相互連結がチップ/CSP/MCM実装面に対し図138及び139の場合とは反対側に配置された例を示す図である。VCSEL及びフォトダイオードは、底側層付近のOE層に埋め込まれる。図143には、OE-IPの両側に実装されたチップ/MCMへの光相互連結を備えたOE-IPの一例が示されている。OE-IPはOE層と併合してもよい。すなわち、VCSELと受光素子は、底側面及び上側面の付近でOE層内の埋め込まれてもよい。

【0187】本発明のOE-IPは、他のOE層と共に複数の形で使用される。図147及び図138はOE-IPの実施例であり、図139及び図148にはOE膜-MCMの実施例が示されている。図144及び145には、外部若しくはフレキシブル相互連結を有するOE膜-MCMが示されている。このフレキシブル相互連結は、OE膜-MCMが並列光リンクモジュールとして使用できるようにする。図144及び145に示されるように、フレキシブル光コネクタは、少なくともO

E-膜-MCMのエッジに取り付けられる。フレキシブル相互連結は、例えは、光信号の光パワー源のカップリング、又は、他のOE-IP又はOE層へのカップリング手段を提供するなどの多数の目的のため有用である。しかし、フレキシブル相互連結は、膜光リンクモジュール（FOLM）又は光ジャンパーを形成するためにも用いられる。

【0188】本発明は、図149及び150に示されているように、いわゆる「スマートピクセル」を製作するためにも使用できる。通常のスマートピクセルは、チップから他の素子への光電子通信を容易に行うため、チップ上にVCSELと受光素子のアレイを集積化する。しかし、従来のスマートピクセルは、製造コストが高く、歩留まり率が低い。図149に示されるように、VCSEL及び受光素子のアレイが内部に埋め込まれたポリマー膜（OE-膜-D）は、スマートピクセルと同じ機能を実現するため使用される。チップへの別の電気パッドはバイアスを用いて作成される。図150に示されるように、スパートピクセルは、導波路が集積された活性光電子膜（OE-膜-DW）を使用して作製できる。スマートピクセルは、受光素子及びVCSELのアレイをポリマー膜内に埋め込み、次に、ポリマー膜をチップに電気的に接続することによって作製される。本発明のスマートピクセルは、従来のスマートピクセルよりも実質的に容易に作製し得る。OE-膜-Dは、従来のチップタイプのスマートピクセルチップ内のVCSEL/受光素子アレイと同じ役割を果たす。このOE-膜は、比較的高価な半導体装置がOE-膜-D内で必要とされる場所だけに配置される点が有利である。これにより、潜在的なコストの削減が得られる。さらに、ポリマー膜は、バイア、パッド及び電気ラインを容易に処理できるようにする。

【0189】図143には、両側にパッケージングされたOE-膜の一実施例が示されている。図143の（b）の断面図に示されるように、第1の受動導波路基板は、光信号をOEバックプレーン層、すなわち、第2の受動導波路基板に伝達する。これによって、チップ又はMCMは、各受動導波路の両側に接続される。図143の（a）の斜視図に示されるように、3次元モジュールを容易に作製できるようになる。好ましくは、要求された機械強度を3次元モジュールに与えるため必要に応じて付加的なサポート部材（図示されない）が使用される。

【0190】本発明は、OE印刷回路基板又はマザーボードを含むように拡張することができる。図151に示されるように、OE印刷回路基板（OE-PBC）は、好ましくは、45°の鏡面光カップラーを用いてOE-MCMに光学的に接続される。勿論、それ以外の光カップラーを使用してもよい。各チップの電気出力は、各OE-MCM内のVCSELを制御する。一部のVCSEL

からの発光は、他の（MCM内の）チップ、又は、同一チップ（チップ内）の別の光端子に結合される。しかし、他のV C S E からの光は、O E 膜に対する裏面からO E - P C B に接続され、O E - M C M のような他の素子との光通信が行えるようになる。

【0191】図152には、M C M 内及びM C M 間の光接続に使用されるスタック状のO E 膜構造体が示されている。発光素子及び受光素子を含む第1のO E 膜は、M C M 内光相互連結のため使用される。図152に示されるように、第1の膜は、例えば、4個のチップを光相互連結する。第1のO E 膜は第2のO E 膜にも接続される。第2のO E 膜は、M C M 間（例えば、ボード間）の光相互連結に使用される受動導波路を有する。同図に示されるように、第2の膜は、例えば、ボード上の4個の4チップM C M を接続する。第1のO E 膜と第2の受動O E 膜の導波路の寸法は、別々に最適化することができる。同図に示されるように、第2の受動膜内の導波路及びカップラーは、例えば、大きいビームスポットサイズに対応したより広いアーチャを有する。好ましくは、受光素子アーチャは、導波路カップラーのビームスポットサイズに応じて拡大される。適切な電気接続は電気ボードへのバイアによって作成される。

【0192】図153及び154には、M C M 内及びM C M 間（例えば、ボード内相互連結）のため使用されるスタック状のO E 膜構造体の別の実施例が示されている。図153及び154に示されるように、導波路、受光素子及び発光素子を組み込む活性膜の機能は、受動導波路膜と、能動デバイス膜との組合せによって実現される。これによって、図152に示された実施例よりも高い歩留まり率が得られる可能性がある。

【0193】

【発明の効果】簡潔に言うと、本発明による方法は、介挿物、マルチチップモジュール、又は、マルチチップ間パッケージ内の他の電子光デバイスへの効率的な信号の光伝送と両立した形で、電子デバイス及び部品、並びに、多様な能動及び受動電子光デバイスを膜に埋め込むことができる。また、本発明の方法は、多数の受動導波路膜構造体、電子光デバイス及び電気デバイスが埋め込まれた膜、並びに、受動導波路及び能動電子光デバイスと共に含む膜を製作するため汎用化される。単一の膜の平面性を保持し、信号膜を通過するバイア及び従来のZ接続を拡張する能力によって、膜の複雑な3次元スタック構造を製作できるようになる。この柔軟性は、チップ内の端子に信号を結合するため、或いは、複数のチップ、C S P 、M C M 若しくはボードの間で信号を結合するために、高歩留まり率、低成本、高速のマルチチップモジュール、基板、光リンクモジュールなどを設計する際に有効である。

【0194】上記の説明では、特に実施例に関して本発明が説明されているが、本発明の範囲を逸脱することな

く、本発明の開示に基づいて種々の代替、変更及び適応をなし得ることが当業者に明らかであろう。また、上記の通り、本発明は現時点で想到し得る最も実際的かつ好適な実施形態に関して説明されているが、本発明は、開示された実施例に限定されることはなく、特許請求の範囲に記載された事項の範囲内に含まれる種々の変形及び等価な構成を含むよう意図されていることに注意する必要がある。

【図面の簡単な説明】

【図1】本発明による光電子マルチチップモジュールの第1実施例の構成図である。

【図2】本発明による光スイッチの第1実施例の断面図である。

【図3】本発明による光スイッチの第1実施例の平面図である。

【図4】本発明による受光素子デバイスの第1実施例の構成図である。

【図5】本発明による受光素子デバイスの第2実施例の構成図である。

【図6】本発明による受光素子デバイスの第3実施例の構成図である。

【図7】本発明による光電子マルチチップモジュールの第2実施例の構成図である。

【図8】本発明による横型発光デバイスの実施例の断面図である。

【図9】本発明による横型発光デバイスの実施例の上面図である。

【図10】本発明による縦型発光デバイスの実施例の断面図である。

【図11】本発明による縦型発光デバイスの実施例の上面図である。

【図12】本発明による活性基板の作製方法の説明図である。

【図13】本発明による活性基板の作製方法の説明図である。

【図14】本発明による活性基板の作製方法の説明図である。

【図15】本発明による活性基板の作製方法の説明図である。

【図16】本発明による活性基板の作製方法の説明図である。

【図17】本発明による活性基板の作製方法の説明図である。

【図18】本発明による活性基板の作製方法の説明図である。

【図19】本発明による活性基板の作製方法の説明図である。

【図20】本発明による活性基板の作製方法の説明図である。

【図21】本発明による活性基板の作製方法の説明図で

形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図108】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図109】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図110】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図111】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図112】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図113】本発明による縦型及び横型光カップラーを形成する一例の方法に従って処理された導波路層の一実施例の斜視図である。

【図114】本発明によるコーナー回転鏡の一実施例の上面図である。

【図115】本発明によるコーナー回転鏡の一実施例の断面図である。

【図116】本発明による導波路鏡を含む導波路カップラーの他の実施例の上面図である。

【図117】本発明による導波路鏡を含む導波路カップラーの他の実施例の断面図である。

【図118】本発明による付加的な3次元光電子積層構造体の略側面図である。

【図119】本発明による付加的な3次元光電子積層構造体の略側面図である。

【図120】本発明による付加的な3次元光電子積層構造体の略側面図である。

【図121】本発明によるZ接続を用いて光電子膜の構造体を積層する更なる実施例の略側面図である。

【図122】本発明による光電子膜の種々の実施例の略側面図である。

【図123】本発明による光電子膜の種々の実施例の略側面図である。

【図124】本発明による光電子膜の種々の実施例の略側面図である。

【図125】本発明による光電子膜の種々の実施例の略側面図である。

【図126】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

【図127】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

【図128】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

【図129】本発明による膜光リンクモジュール(FOLM)の一実施例の略側面図である。

【図130】本発明によるFOLM構造体の光電子膜の略上面図である。

【図131】本発明によるFOLM光電子膜の他の実施例の略側面図である。

【図132】本発明によるFOLM光電子膜の他の実施例の略上面図である。

【図133】本発明によるFOLM光電子膜の更なる実施例の斜視図である。

【図134】本発明によるFOLM光電子膜の更なる実施例の略側面図である。

【図135】本発明によるFOLMの一実施例の略側面図である。

【図136】本発明によるFOLMの一実施例の上面図である。

【図137】(a)は本発明によるFOLMの一実施例の略側面図であり、(b)は本発明に従って光り電子デバイスが埋め込まれた(a)の実施例のポリマー層の上面図である。

【図138】本発明によるチップと、チップサイズパッケージ(CSP)と、マルチチップモジュール(MCM)とに適した光電子介挿部(OE-IP)の一実施例の構成図である。

【図139】本発明によるマルチチップモジュールに適した光電子介挿部の他の実施例の構成図である。

【図140】本発明によるマルチチップモジュールに適した光電子介挿部の更なる実施例の構成図である。

【図141】本発明によるマルチチップモジュールに適した光電子介挿部の更なる実施例の構成図である。

【図142】本発明によるマルチチップモジュールに適した光電子介挿部の更なる実施例の構成図である。

【図143】光電子介挿部の両面に実装されたチップ/マルチチップモジュールへの光相互連結を含む光電子介挿部の別の実施例の構成図である。

【図144】本発明による外部フレキシブル相互連結を含む光電子介挿部の一実施例の構成図である。

【図145】本発明による外部フレキシブル相互連結を含む光電子介挿部の一実施例の構成図である。

【図146】本発明による介挿部の光相互連結がチップ/チップサイズパッケージ/マルチチップモジュールの反対側にある光電子介挿部の一実施例の構成図である。

【図147】本発明による光電子膜及びマルチチップモジュールを有する一実施例の構成図である。

【図148】本発明による光電子膜-マルチチップモジュールの一実施例の構成図である。

【図149】本発明によるスマートピクセルの実施例を示す図である。

【図150】本発明によるスマートピクセルの実施例を示す図である。

【図151】本発明による光電子印刷回路基板／マザーボードの実施例を示す図である。

【図152】本発明によるMCM内光接続及びMCM間光接続の両方に有用な光電子膜の実施例を示す図である。

【図153】本発明によるMCM内光接続及びMCM間光接続の両方に有用な光電子膜の実施例を示す図である。

【図154】本発明によるMCM内光接続及びMCM間光接続の両方に有用な光電子膜の実施例を示す図である。

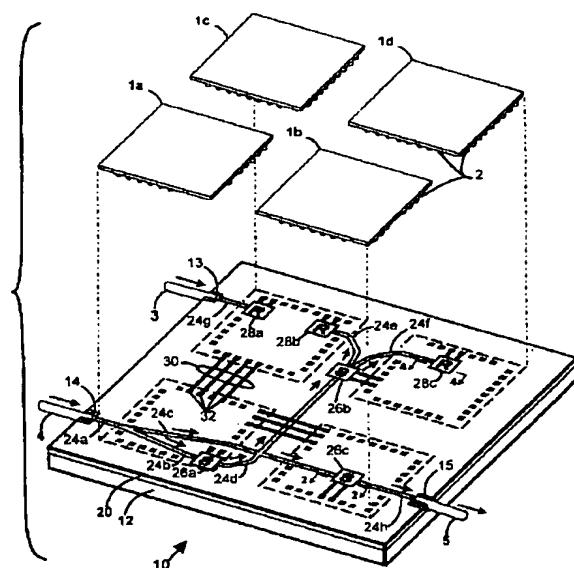
【図155】本発明による埋め込まれたデバイスを備えた光電子膜を製作する一例の方法によって製作された例示的な構造体の略側面図である。

【符号の説明】

- 1a, 1b, 1c, 1d ICチップ
- 2 コネクタ
- 4 光ファイバ
- 10 光電子相互連結基板
- 12 ベース基板
- 20 活性層
- 21, 23 クラッド層
- 24a-24h 光導波路
- 26a-26c 光電子スイッチングデバイス
- 27 電極
- 28a-28c 受光素子デバイス
- 30 電気経路
- 32 電気接続パッド

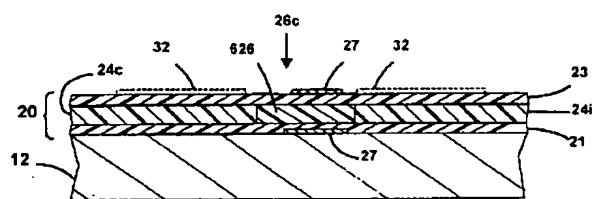
【図1】

本発明による光電子マルチチップモジュールの第1実施例の構成図



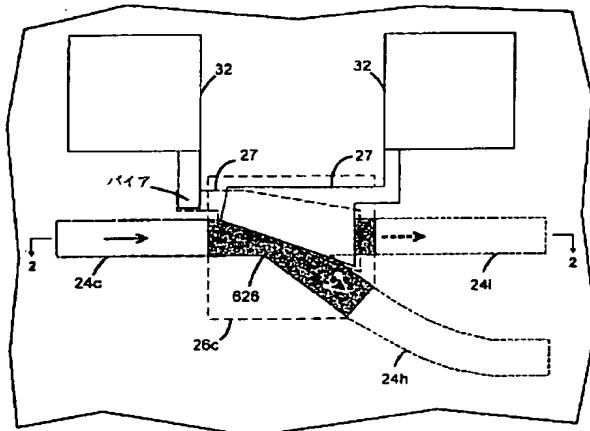
【図2】

本発明による光スイッチの第4実施例の断面図



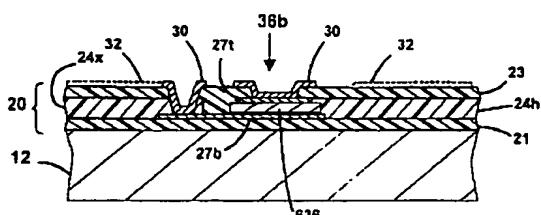
【図3】

本発明による光スイッチの第1実施例の平面図



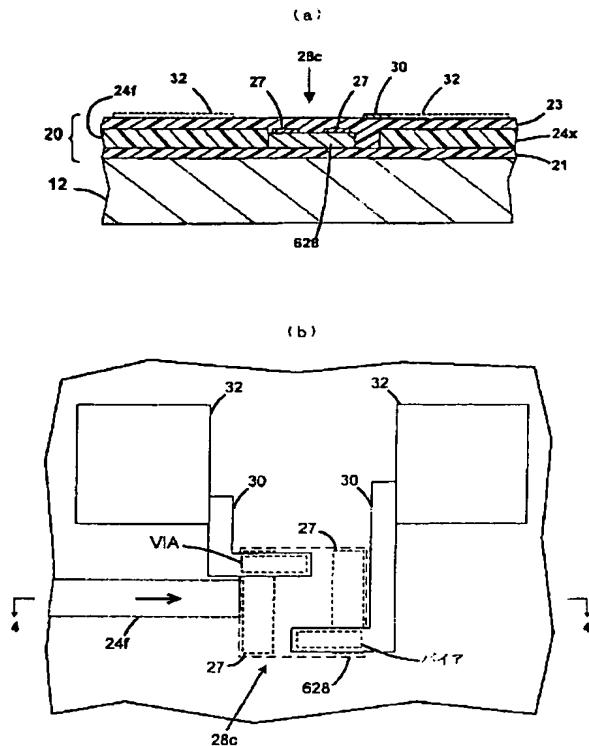
【図8】

本発明による横型発光デバイスの実施例の断面図



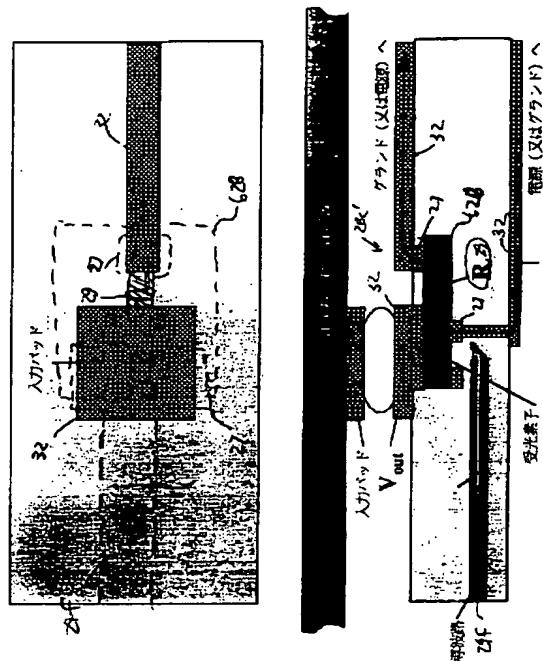
【図4】

本発明による受光素子デバイスの第1実施例の構成図



【図5】

本発明による受光素子デバイスの第2実施例の構成図

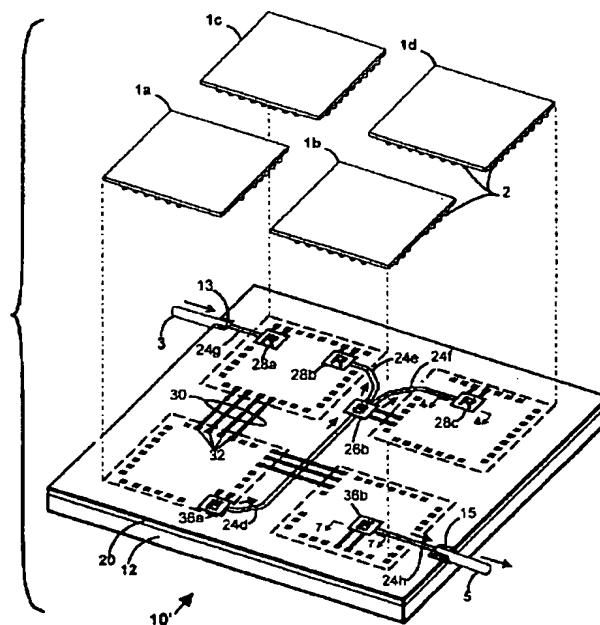
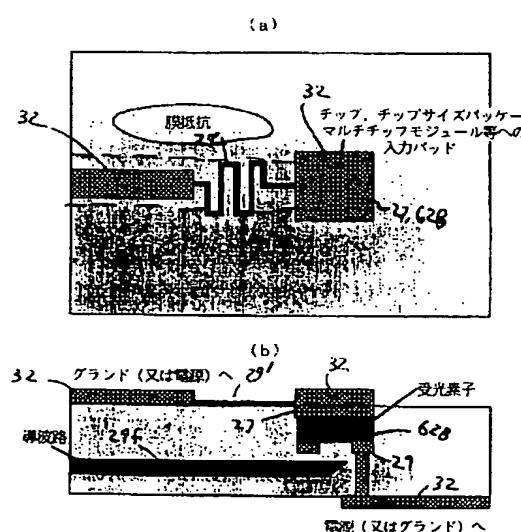


【図7】

本発明による光電子相互連結基板の第2実施例の拡大斜視図

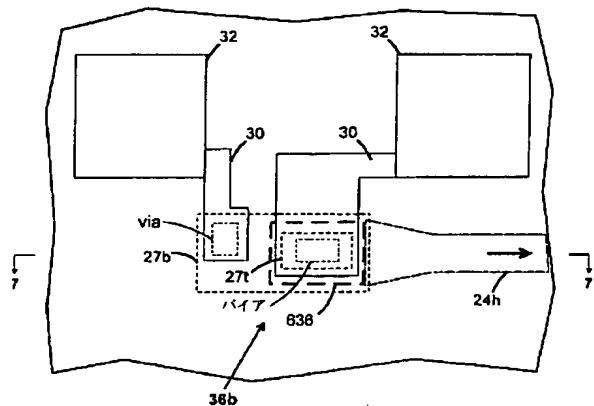
【図6】

本発明による受光素子デバイスの第3実施例の構成図



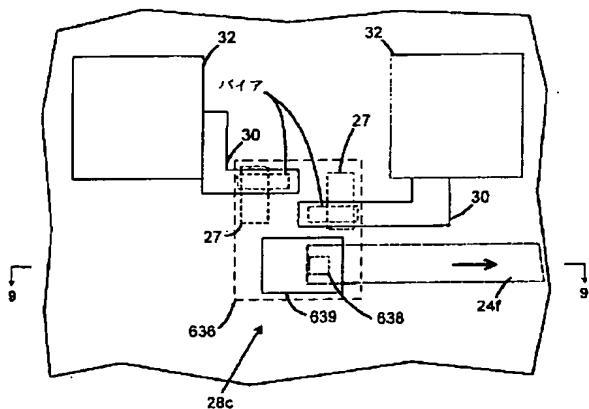
【図9】

本発明による横型発光デバイスの実施例の平面図



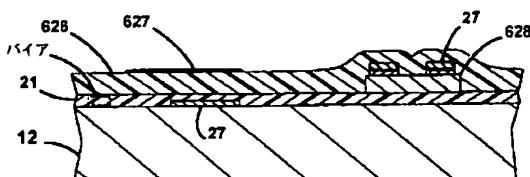
【図11】

本発明による縦型発光デバイスの実施例の平面図



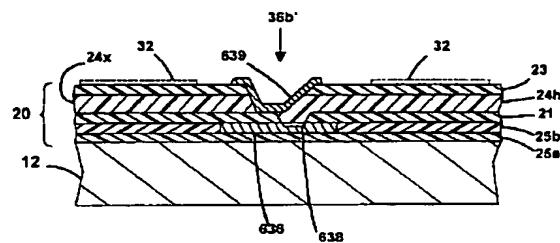
【図13】

本発明による活性基板の作製方法の説明図



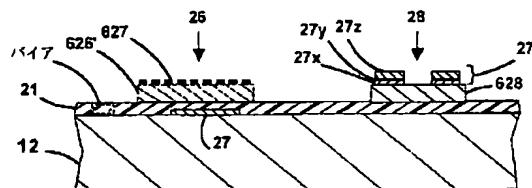
【図10】

本発明による縦型発光デバイスの実施例の断面図



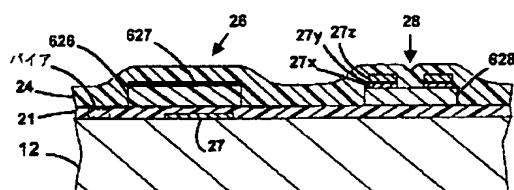
【図12】

本発明による活性基板の作製方法の説明図



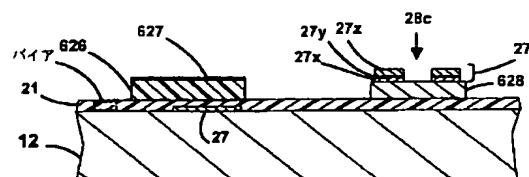
【図15】

本発明による活性基板の作製方法の説明図



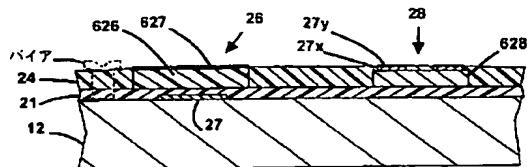
【図14】

本発明による活性基板の作製方法の説明図



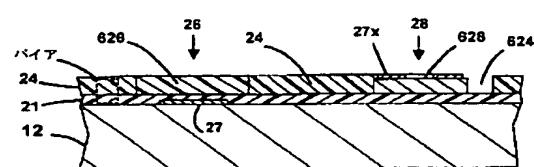
【図16】

本発明による活性基板の作製方法の説明図



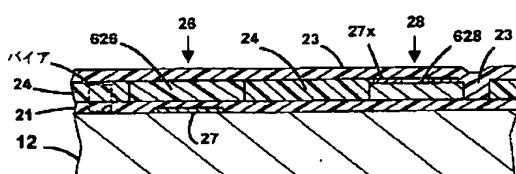
【図17】

本発明による活性基板の作製方法の説明図



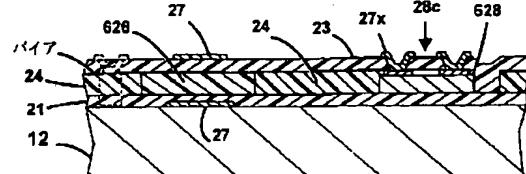
【図18】

本発明による活性基板の作製方法の説明図



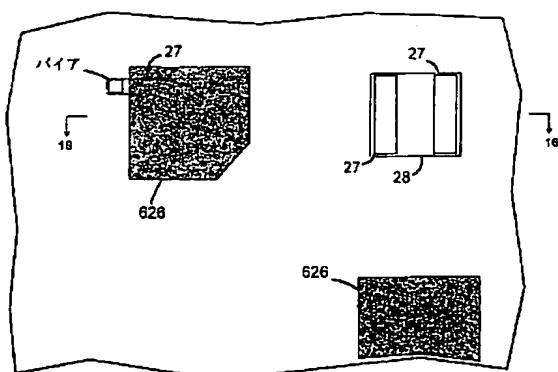
【図19】

本発明による活性基板の作製方法の説明図



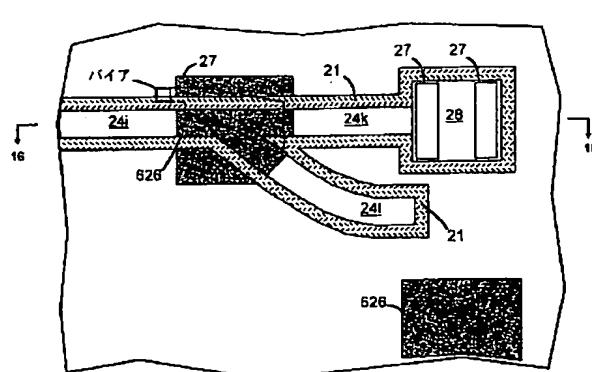
【図20】

本発明による活性基板の作製方法の説明図



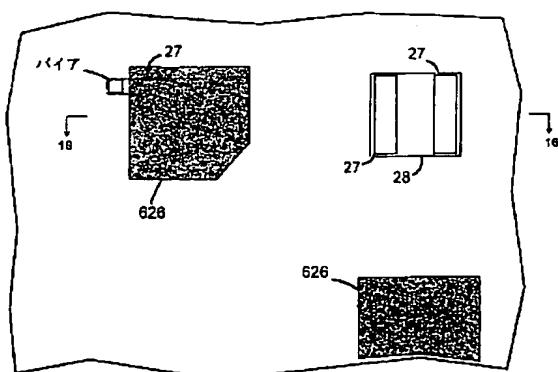
【図21】

本発明による活性基板の作製方法の説明図



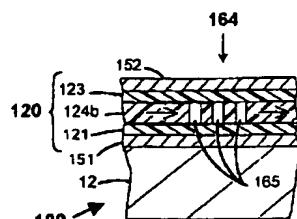
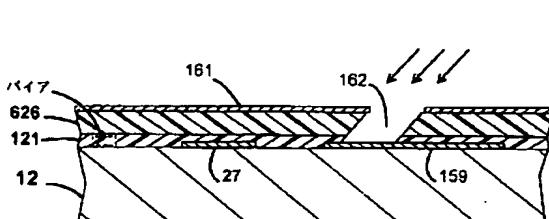
【図27】

本発明による第1のマルチチップモジュールシステムの構成図



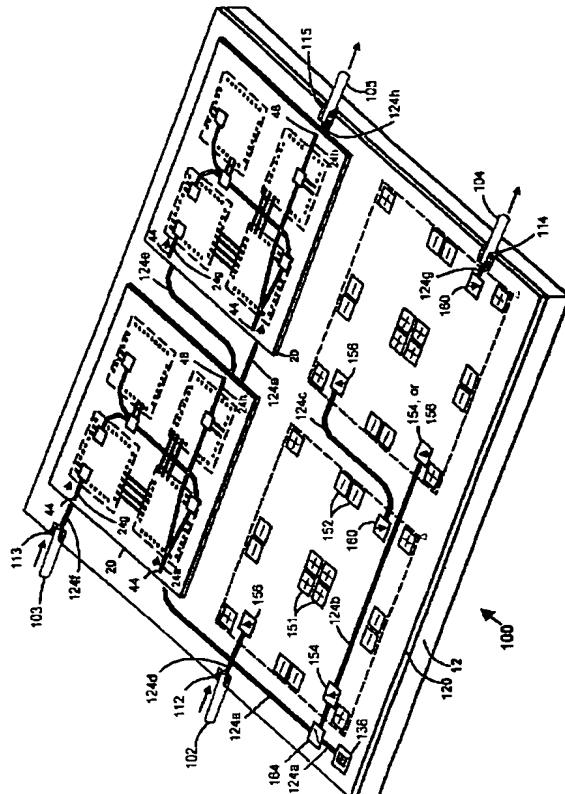
【図28】

光スイッチの製作中に縦型カッフルームを用いて作製する方法の一実施例の説明図



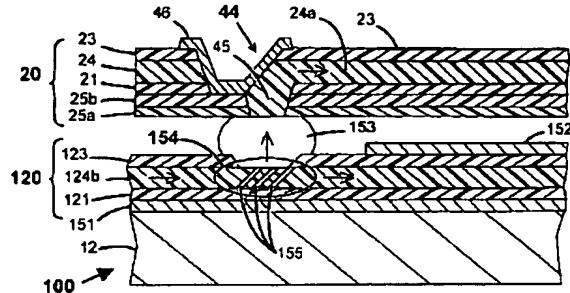
【図22】

本発明による第1のマルチチップモジュールシステムの構成図



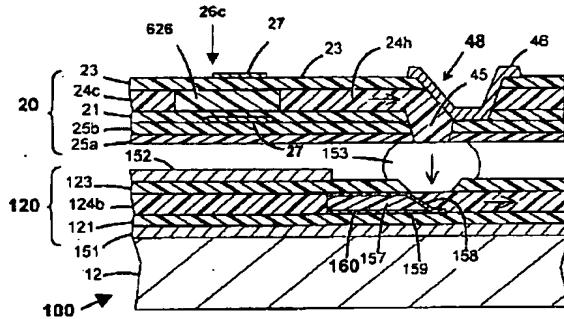
〔図23〕

本発明による第1のマルチチップモジュールシステムの構成図



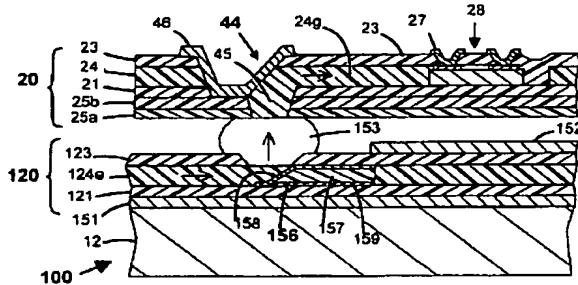
【図25】

本発明による第1のマルチチップモジュールシステムの構成図



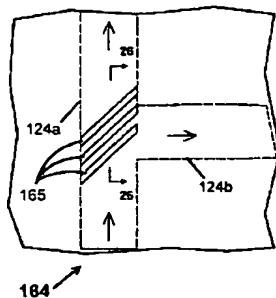
【図24】

本発明による第1のマルチチップモジュールシステムの構成図



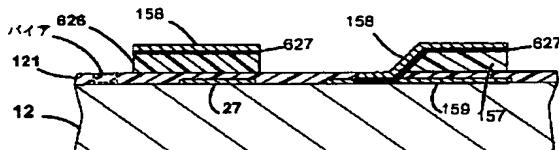
【図26】

本発明による第1のマルチチップモジュールシステムの構成図



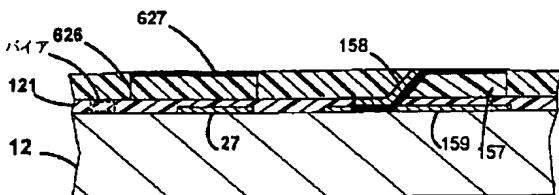
【図29】

光スイッチの製作中に縦型カッフルーを作製する方法の
一実施例の説明図



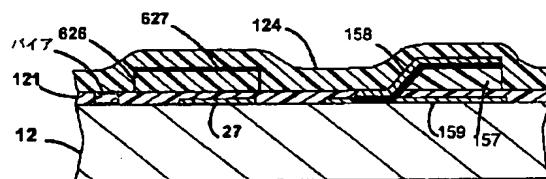
【図31】

光スイッチの製作中に縦型カッフルーを作製する方法の
一実施例の説明図



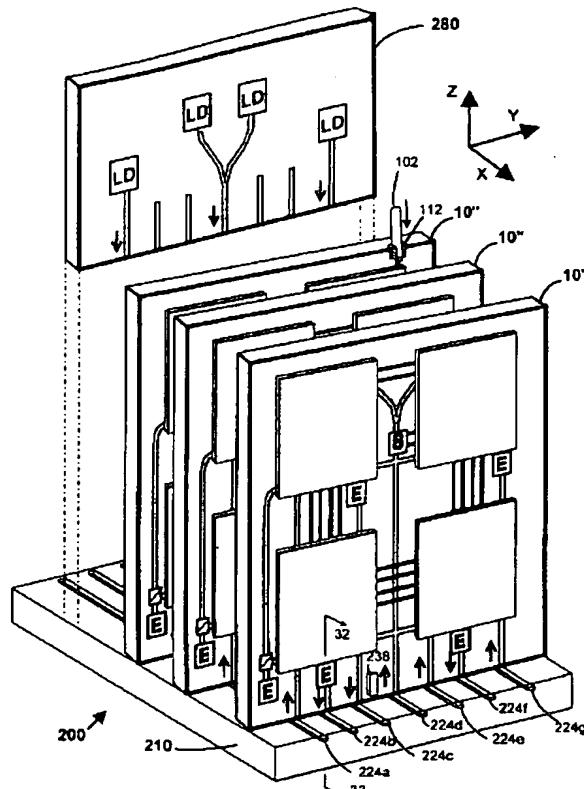
【図32】

光スイッチの製作中に縦型カッフルーを作製する方法の
一実施例の説明図



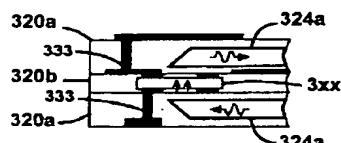
【図32】

本発明による第2のマルチチップモジュールシステムの構成図



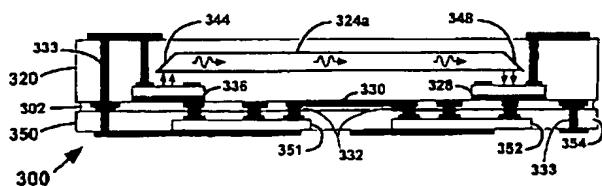
【図39】

本発明による光電子マルチチップモジュール基板の他の実施例の
構成図



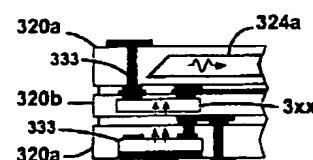
【図35】

本発明による光電子マルチチップモジュール基板の他の実施例の
構成図



【図40】

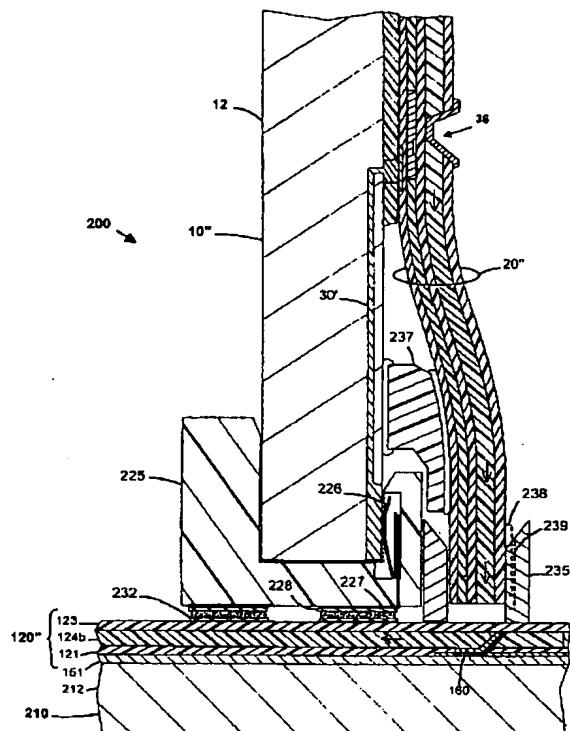
本発明による光電子マルチチップモジュール基板の他の実施例の
構成図



【図33】

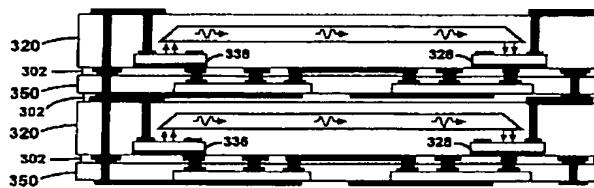
【図34】

本発明による第2のマルチチップモジュールシステムの構成図



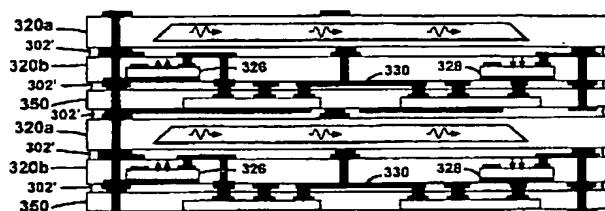
【図36】

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



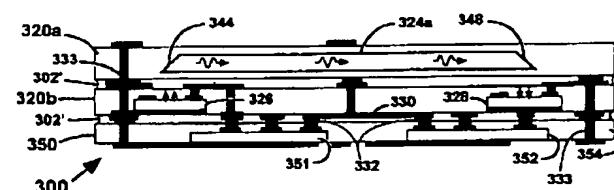
【図38】

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



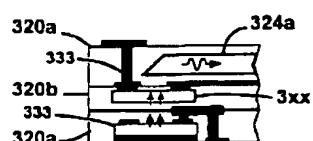
〔図3・7〕

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



[図4-1]

本発明による光電子マルチチップモジュール基板の他の実施例の構成図



【図42】

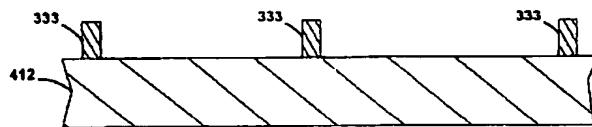
本発明による光電子マルチチップモジュール基板の他の実施例の構成図



【図44】

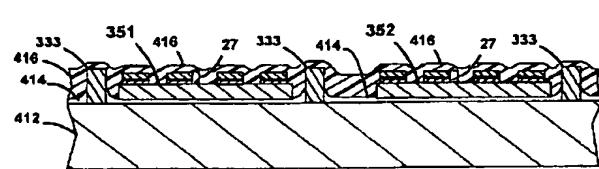
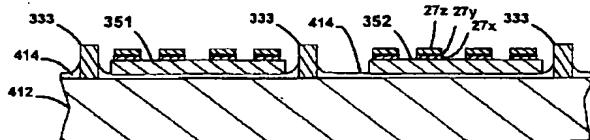
【図43】

ICチップ層を作製する方法の一例の説明図



【図45】

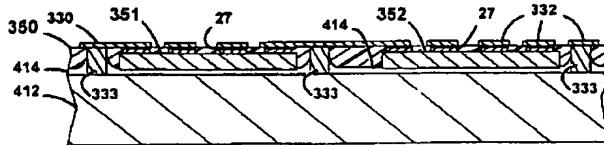
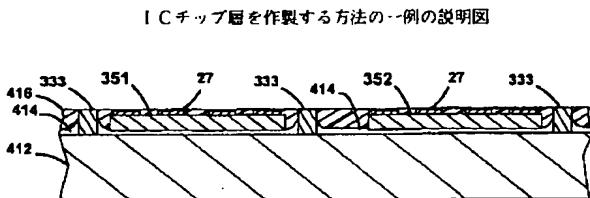
ICチップ層を作製する方法の一例の説明図



【図46】

【図47】

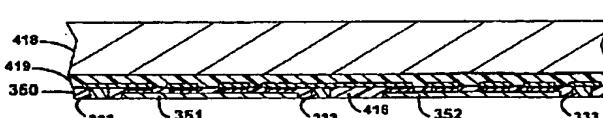
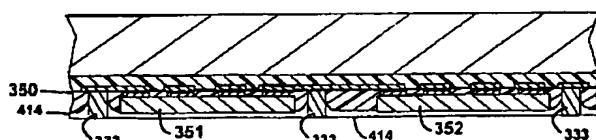
ICチップ層を作製する方法の一例の説明図



【図48】

【図49】

ICチップ層を作製する方法の一例の説明図



【図50】

【図51】

本発明によるポリマー導波路層の作製方法の実施例の説明図



【図 5 2】

本発明によるポリマー導波路層の作製方法の実施例の説明図



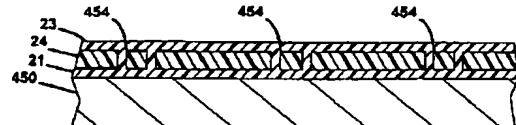
【図 5 3】

本発明によるポリマー導波路層の作製方法の実施例の説明図



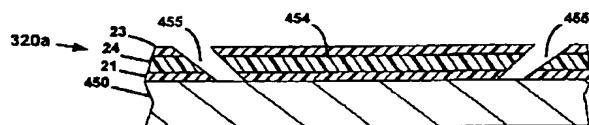
【図 5 4】

本発明によるポリマー導波路層の作製方法の実施例の説明図



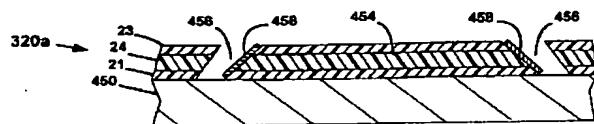
【図 5 5】

本発明によるポリマー導波路層の作製方法の実施例の説明図



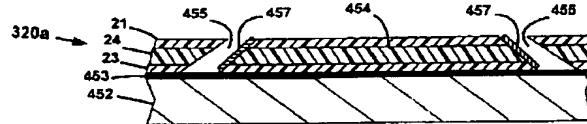
【図 5 6】

本発明によるポリマー導波路層の作製方法の実施例の説明図



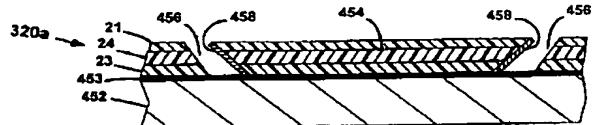
【図 5 7】

本発明によるポリマー導波路層の作製方法の実施例の説明図



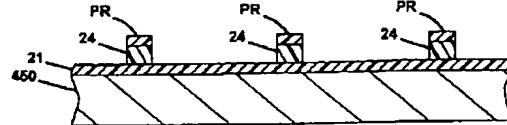
【図 5 8】

本発明によるポリマー導波路層の作製方法の実施例の説明図



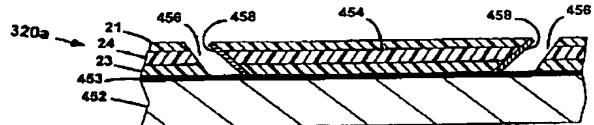
【図 5 9】

本発明によるポリマー導波路層の作製方法の実施例の説明図



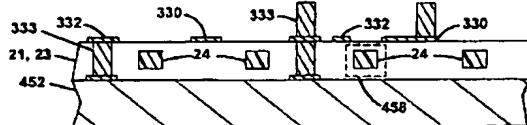
【図 6 0】

本発明によるポリマー導波路層の作製方法の実施例の説明図



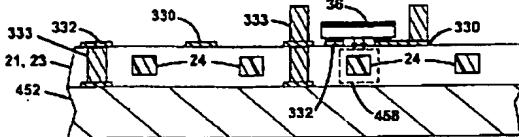
【図 6 1】

本発明によるポリマー導波路層の作製方法の実施例の説明図



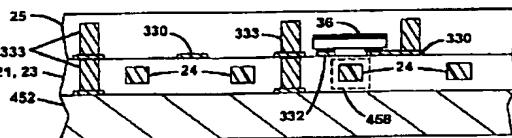
【図62】

活性部品層を導波路層に追加する方法の一例の説明図



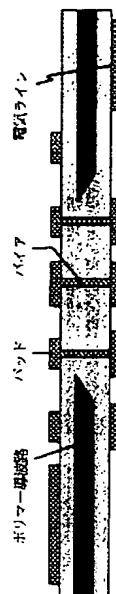
【図64】

活性部品層を導波路層に追加する方法の一例の説明図



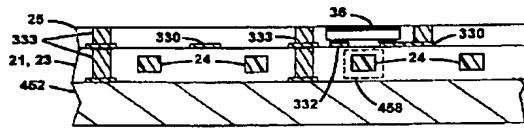
【図122】

OE膜の説明図



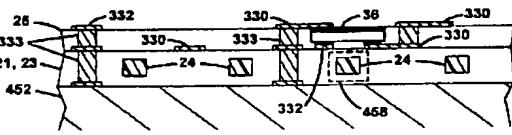
【図64】

活性部品層を導波路層に追加する方法の一例の説明図



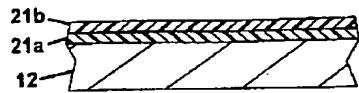
【図66】

活性部品層を導波路層に追加する方法の一例の説明図



【図67】

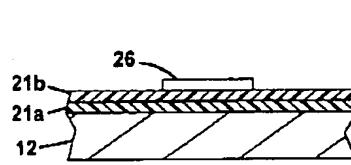
活性部品層を導波路層に追加する方法の一例の説明図



【図68】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図

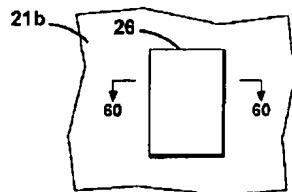
本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



【図69】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図

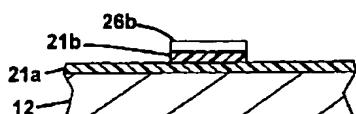
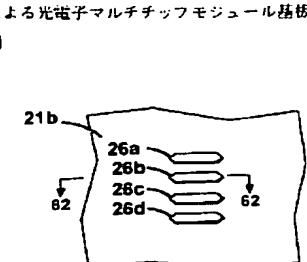
本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



【図70】

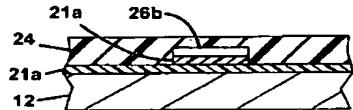
【図71】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



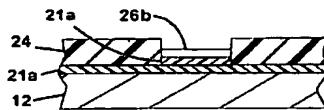
【図72】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



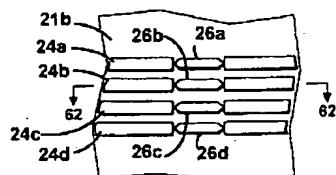
【図73】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



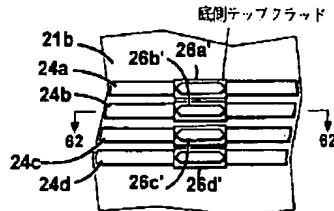
【図74】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



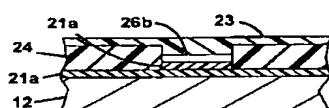
【図75】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



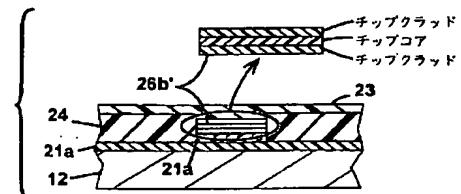
【図76】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



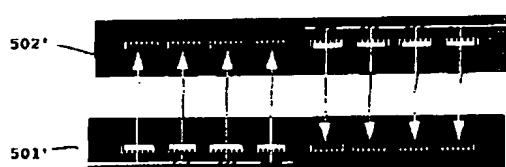
【図77】

本発明による光電子マルチチップモジュール基板の他の作製方法の説明図



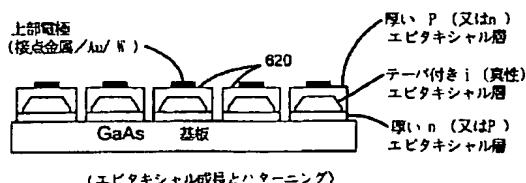
【図79】

本発明による自由空間MCMシステムの説明図



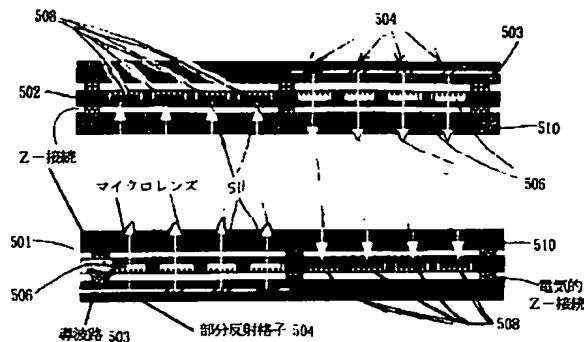
【図83】

薄膜デバイスと導波路を一体化する処理の説明図



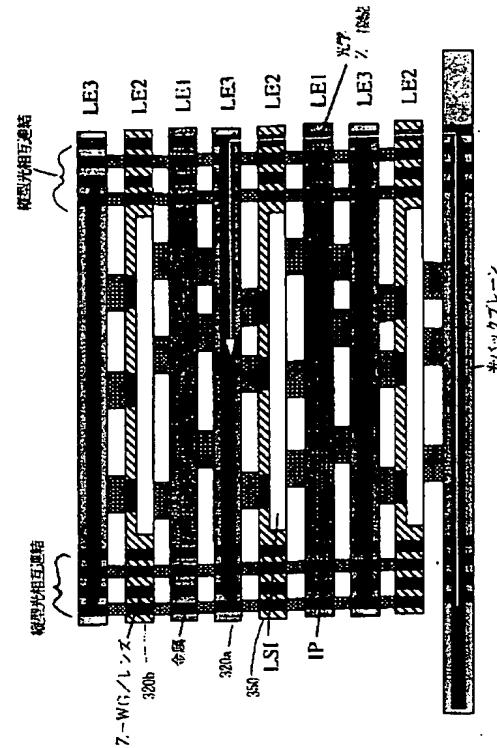
【図78】

本発明による自由空間MCMシステムの説明図



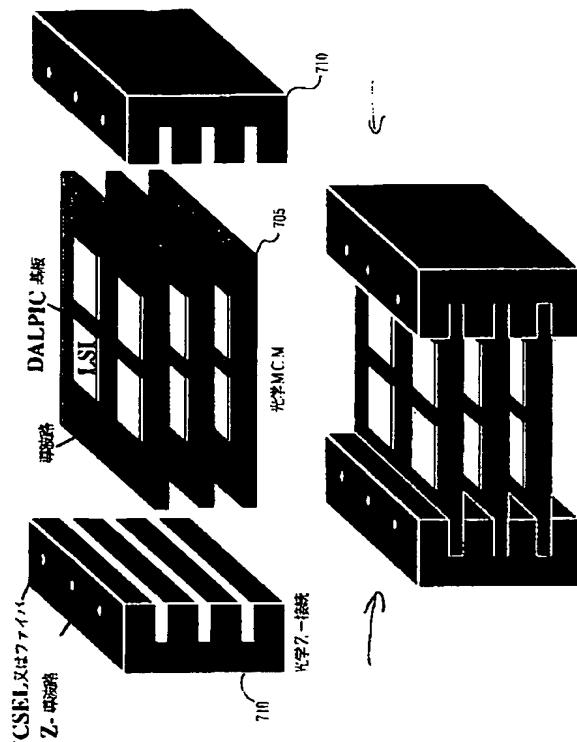
【図80】

本発明による3次元MCMシステムの説明図



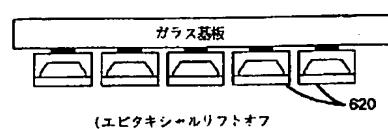
【図81】

本発明による3次元MCMシステムの説明図



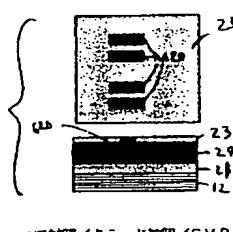
【図84】

薄膜デバイスと導波路を一体化する処理の説明図



【図86】

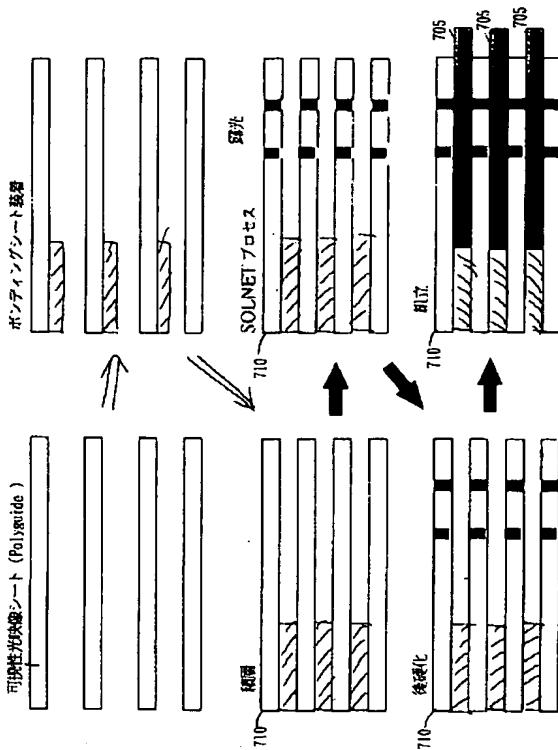
光変調器又は受光素子の集成化の例の説明図



コア被覆/クラッド被覆/CMP

【図82】

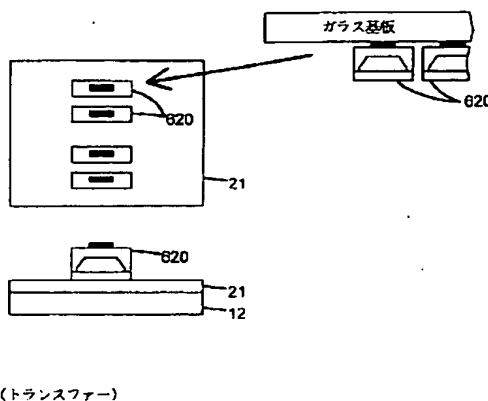
本発明による3次元MCMシステムの説明図



【図87】

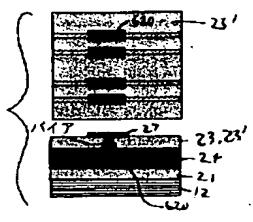
【図85】

薄膜デバイスと導波路を一体化する処理の説明図



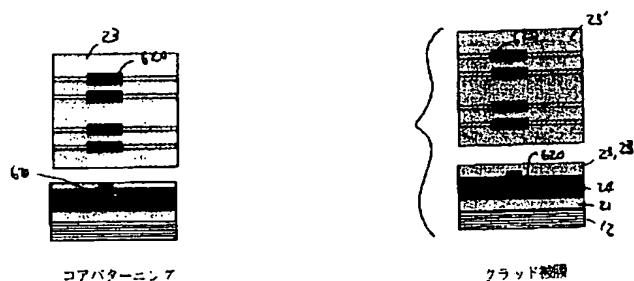
【図89】

光変調器又は受光素子の集積化の例の説明図



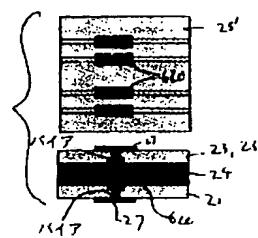
光変調器又は受光素子の集積化の例の説明図

光変調器又は受光素子の集積化の例の説明図



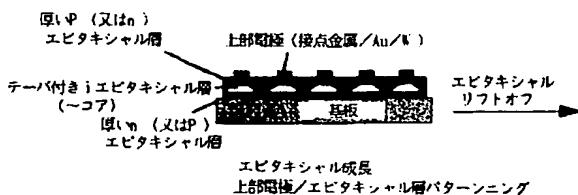
【図90】

光変調器又は受光素子の集積化の例の説明図



【図91】

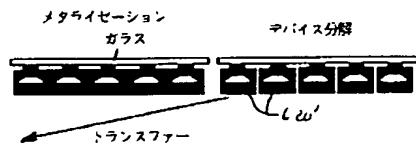
集積デバイスと導波路を含む薄膜の作製例の説明図



基板除去/裏側メタライゼーション

【図92】

集積デバイスと導波路を含む薄膜の作製例の説明図

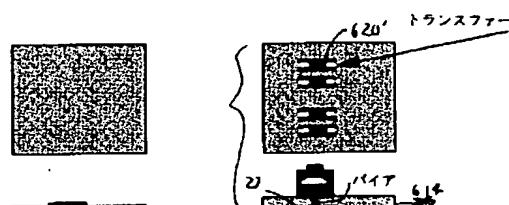


【図94】

集積デバイスと導波路を含む薄膜の作製例の説明図

【図93】

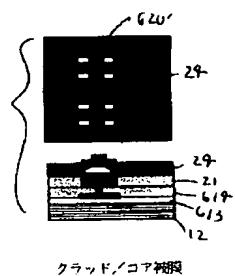
集積デバイスと導波路を含む薄膜の作製例の説明図



【図94】

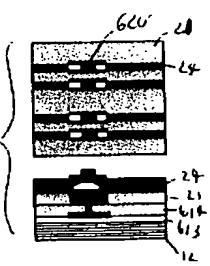
集積デバイスと導波路を含む薄膜の作製例の説明図

集積デバイスと導波路を含む薄膜の作製例の説明図



【図95】

集積デバイスと導波路を含む薄膜の作製例の説明図



【図96】

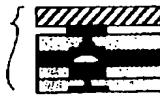
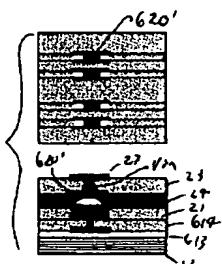
集積デバイスと導波路を含む薄膜の作製例の説明図

【図97】

集積デバイスと導波路を含む薄膜の作製例の説明図

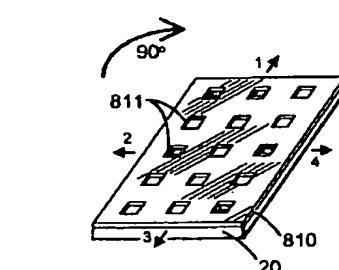
【図98】

集積デバイスと導波路を含む薄膜の作製例の説明図



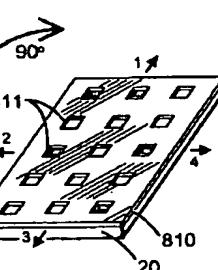
【図97】

集積デバイスと導波路を含む薄膜の作製例の説明図

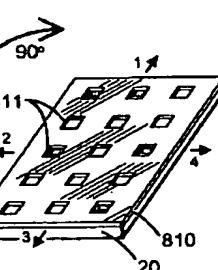
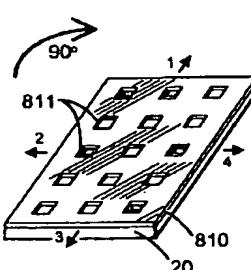


【図98】

集積デバイスと導波路を含む薄膜の作製例の説明図



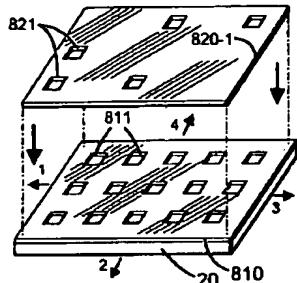
本発明によるペベル構造のカット部の形成方法の説明図



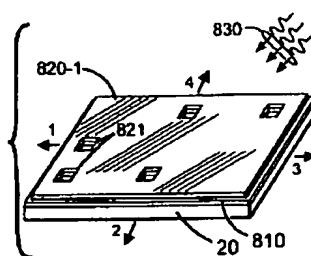
本発明によるペベル構造のカット部の形成方法の説明図

【図99】

本発明によるペベル構造のカット部の形成方法の説明図 本発明によるペベル構造のカット部の形成方法の説明図



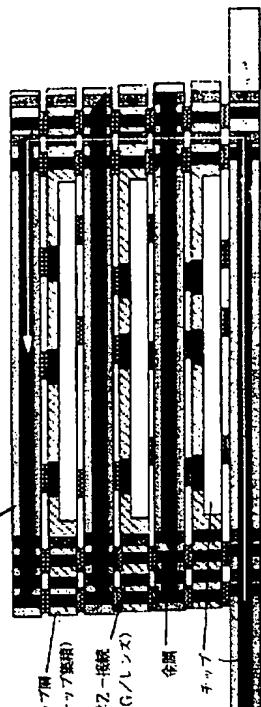
【図101】



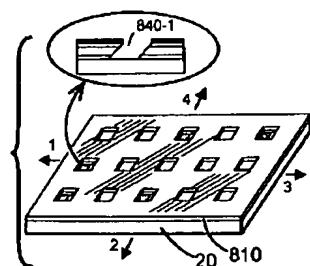
【図100】

【図118】

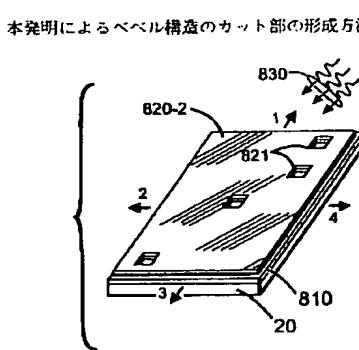
OE-3D STACK構造の例の説明図



光電子-DW (V) 又は (W)



【図104】

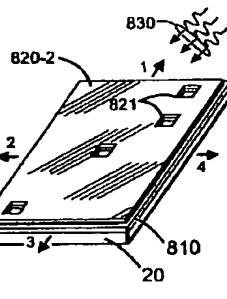


【図103】

【図102】

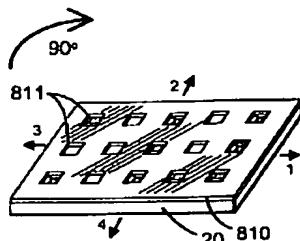
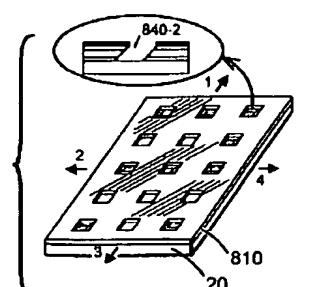
本発明によるペベル構造のカット部の形成方法の説明図

本発明によるペベル構造のカット部の形成方法の説明図



【図105】

本発明によるペベル構造のカット部の形成方法の説明図 本発明によるペベル構造のカット部の形成方法の説明図

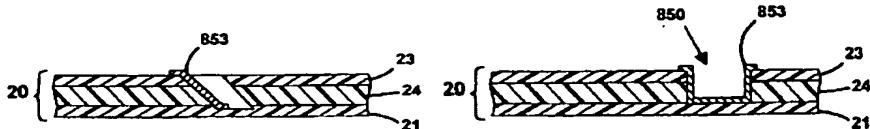


【図115】

【図117】

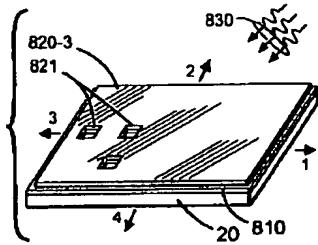
コーナー回転ミラーの一実施例の断面図

導波路カッブラーの一実施例の断面図



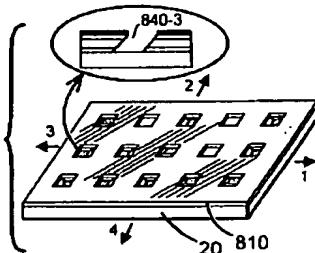
【図106】

本発明によるペベル構造のカット部の形成方法の説明図 本発明によるペベル構造のカット部の形成方法の説明図



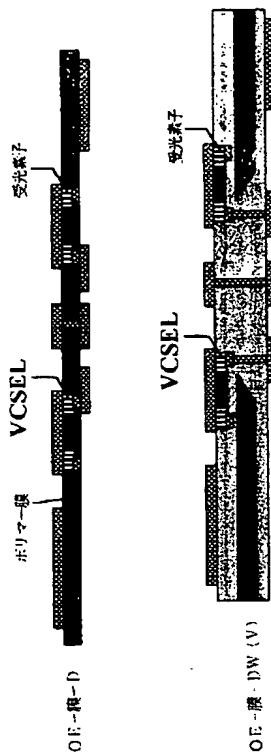
【図107】

本発明によるペベル構造のカット部の形成方法の説明図



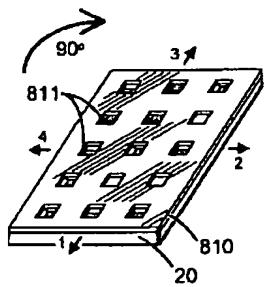
【図123】 【図124】

OE膜の説明図 OE膜の説明図



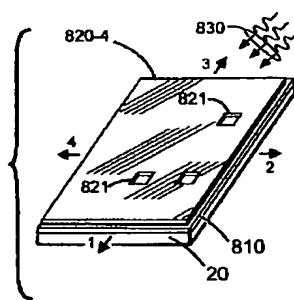
【図108】

本発明によるペベル構造のカット部の形成方法の説明図



【図109】

本発明によるペベル構造のカット部の形成方法の説明図

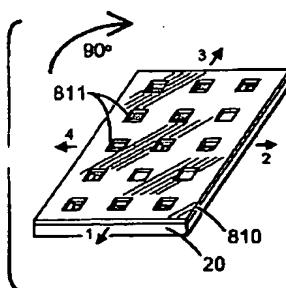
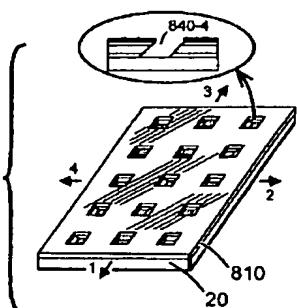


【図110】

本発明によるペベル構造のカット部の形成方法の説明図

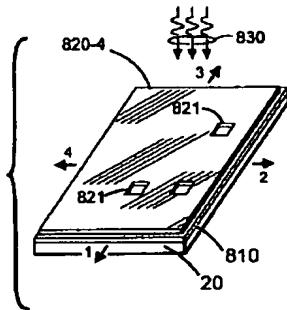
【図111】

本発明によるペベル構造のカット部の形成方法の説明図



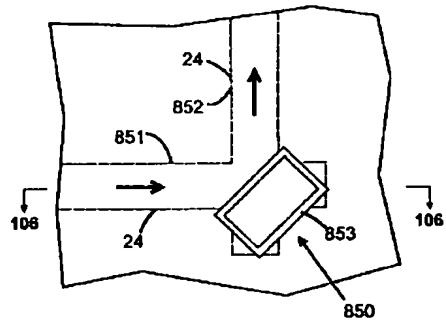
【図112】

本発明によるペベル構造のカット部の形成方法の説明図



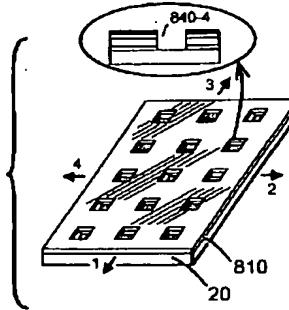
【図114】

コーナー回転ミラーの一実施例の平面図



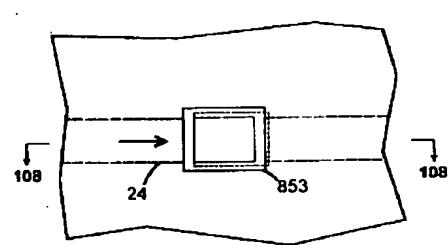
【図113】

本発明によるペベル構造のカット部の形成方法の説明図



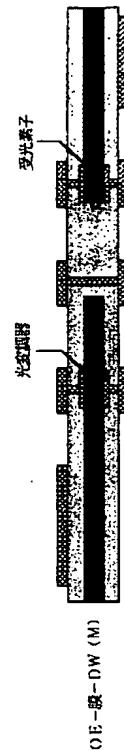
【図116】

導波路カップラーの一実施例の平面図



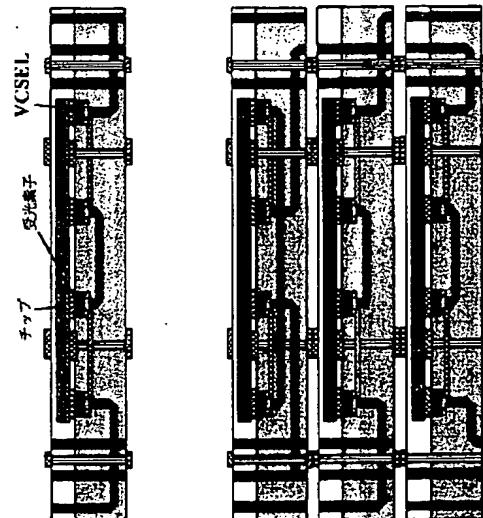
【図125】

OE股の説明図



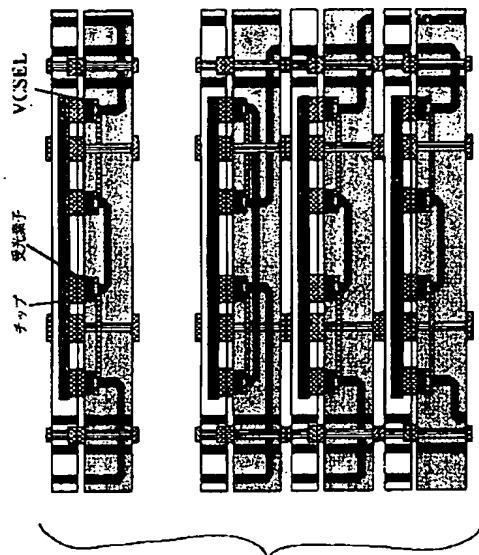
【図119】

OE-3D STACK構造の例の詳細な説明図



【図120】

OE-3D スタック構造の例の詳細な説明図



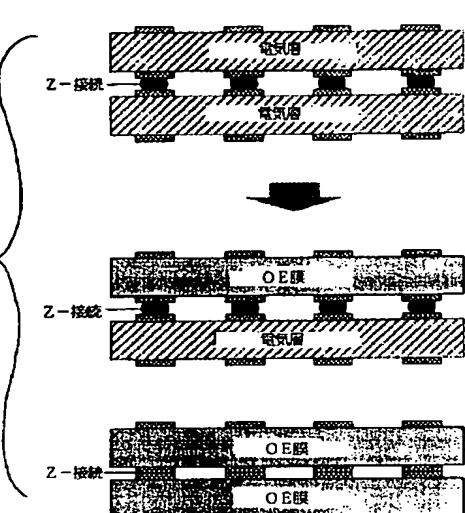
【図126】

【図128】

膜光リンクモジュールの説明図

膜光リンクモジュールの説明図

膜光リンクモジュールの説明図

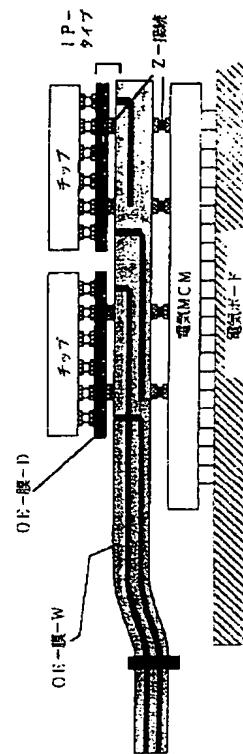


【図129】

【図127】

OE膜とZ接続が設けられたOE基板の説明図

映光リンクモジュールの説明図

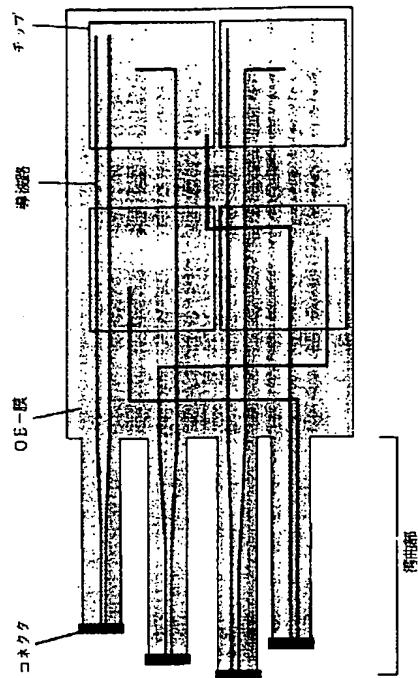


スマートヒュニセルを含むOE-層の一実施例の説明図

【図149】

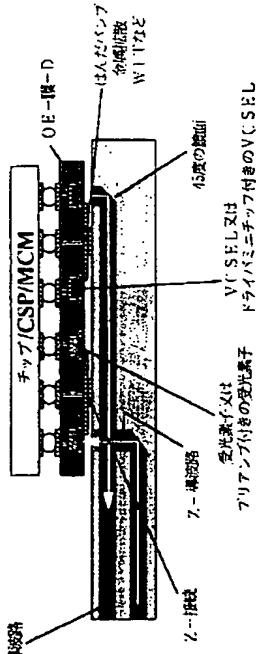
【図130】

光路長調節器、コネクタバッファを備えた膜光リンクモジュールの構成図



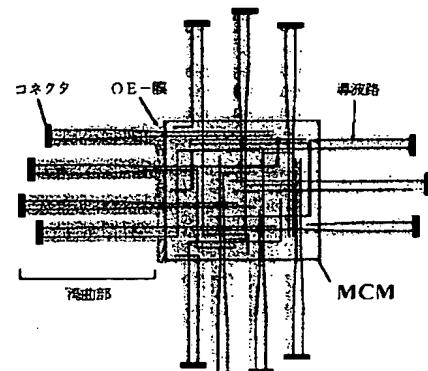
【図138】

OE-IPとOE-膜-MCMとを含むOE-膜の一実施例の説明図



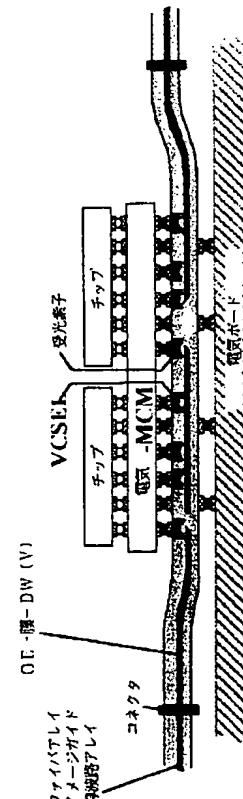
【図131】

光路長調節器、コネクタバッファを備えた膜光リンクモジュールの構成図



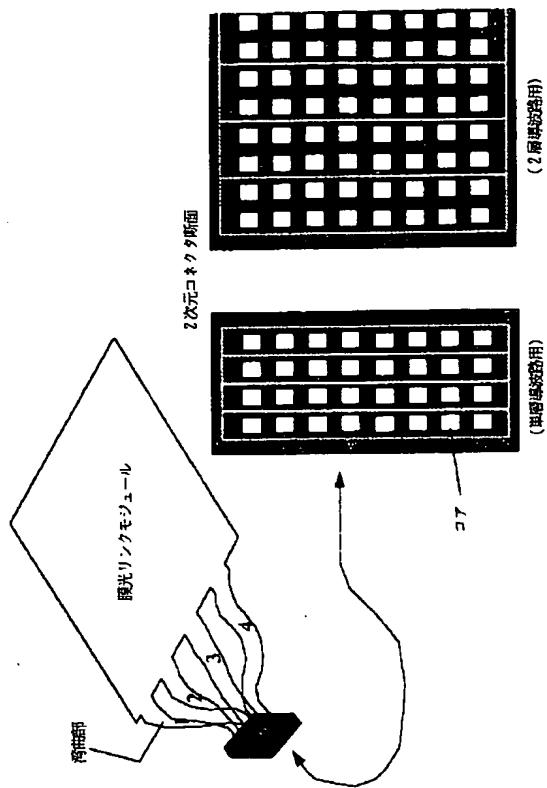
【図132】

光路長調節器、コネクタバッファを備えた膜光リンクモジュールの構成図



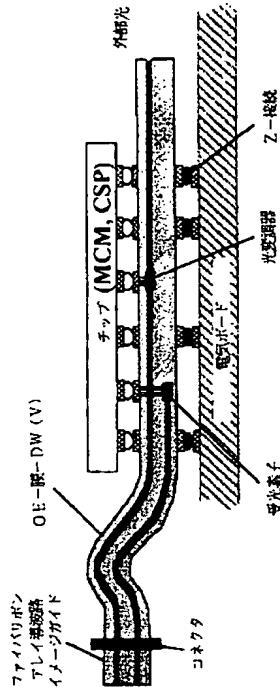
【図133】

2次元導波路コネクタを備えた膜光リンクモジュールの説明図



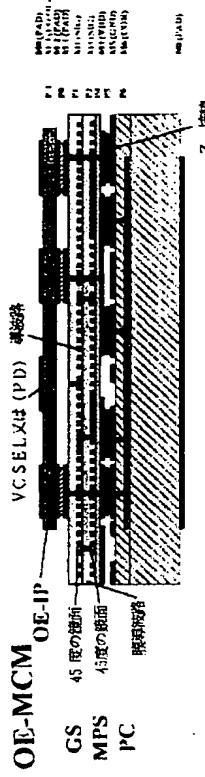
【図134】

膜光リンクモジュールの高速オプションの説明図

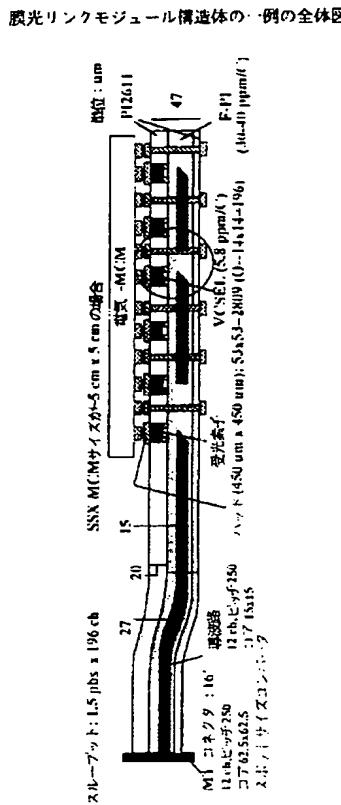


【図147】

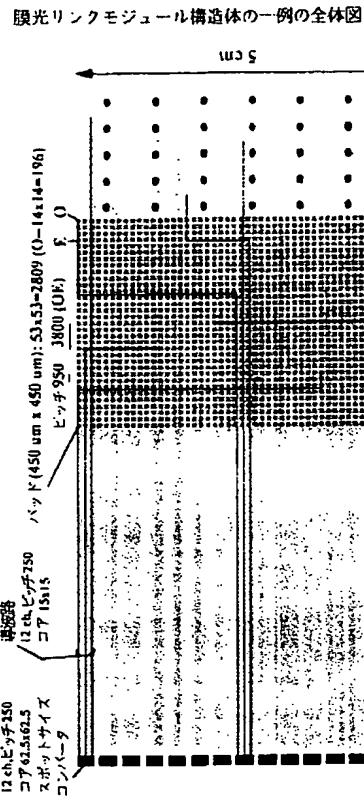
OE-MCMの一実例の説明図



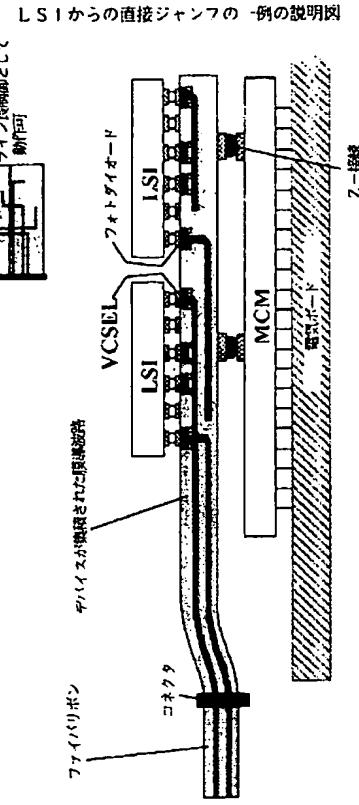
【図135】



【図136】



【图 144】



【図155】

デバイス集積プロセスの説明図

(a) (1) バット／ライン形成 

(b) (2) 薄膜デバイスの配置 

(c) (3) ポリマー被覆 

(d) (4) 平坦化 

(e) (5) バイア／バッド／ライン形成 

(f) (6) 基板除去 

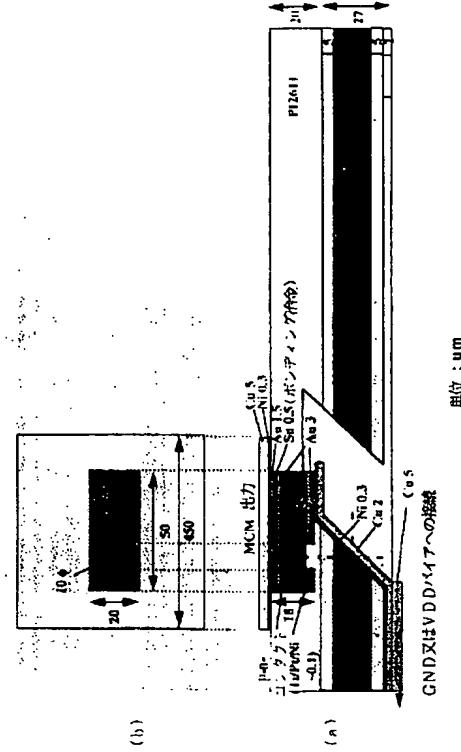
(g) (6') 構造物形成プロセスへジャンプ 

OE-膜-D

OE-膜-DW (V)

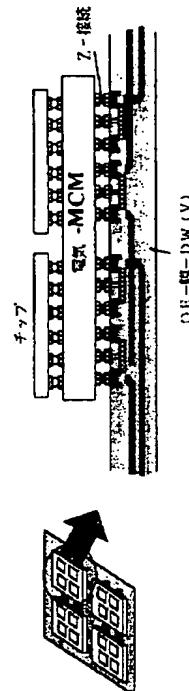
【図137】

説明図



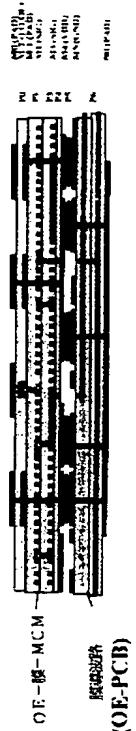
【図139】

OE-膜-MCMとを含むOE-膜の一実施例 OE-MCMの一実施例の説明図



【図148】

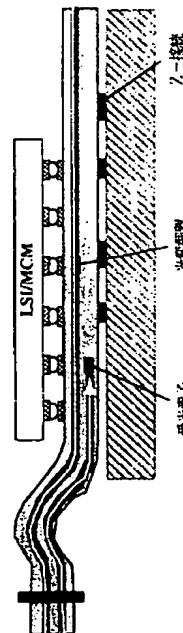
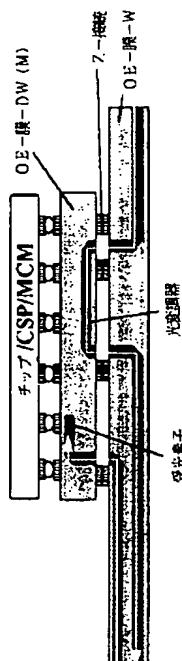
【Mの一実施例の説明図】



【図140】

【图145】

光変調器と送信器とを含むO-E-膜の一実施例の説明図 LS1からの直接ジャンプの一例の説明図



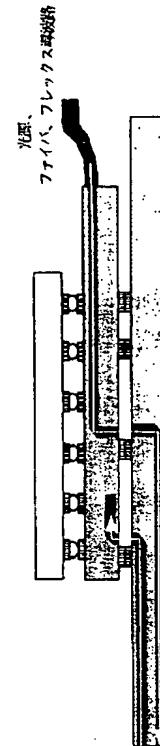
【図141】

光変調器と送信器とを含むOE-膜の一実施例の説明図



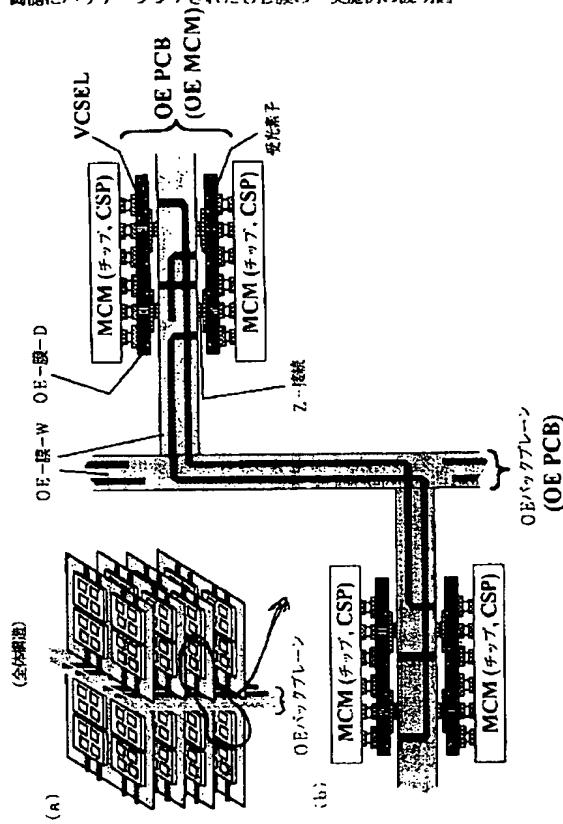
【図142】

光変調器と送信器とを含むE-膜の一実施例の説明図



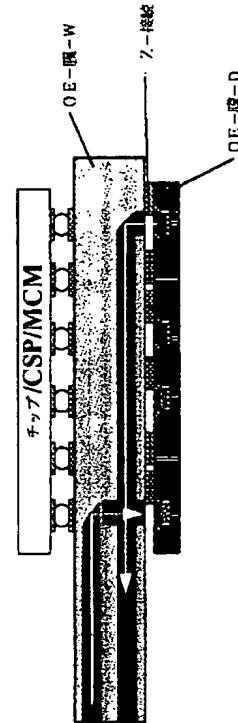
【図143】

両側にパッケージングされたOE膜の一実施例の説明図



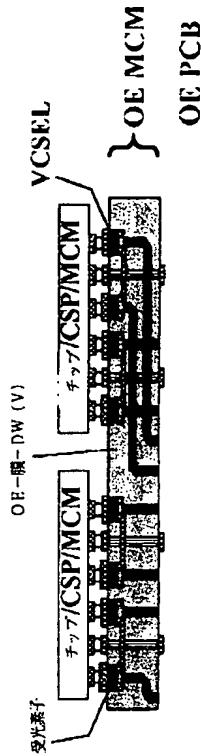
【図146】

OE-IPが反対側に配置された一実施例の説明図



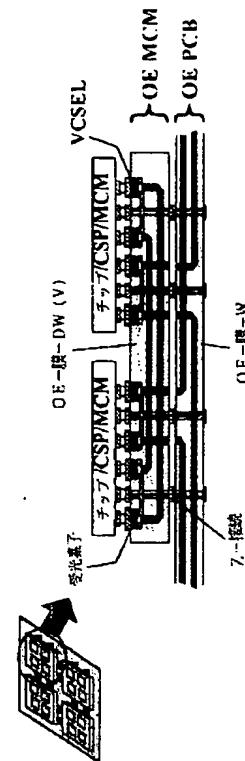
【図150】

スマートヒクセルを含むOE-膜の一実施例の説明図



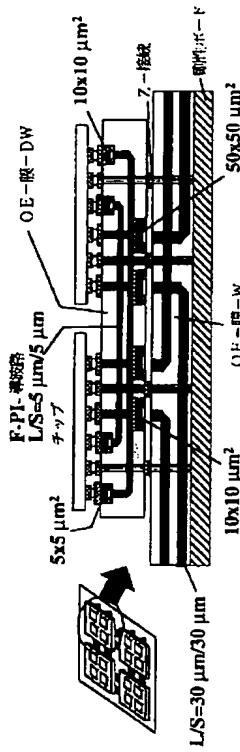
【図151】

裏面接続されたOE-膜のスタック構造の一実施例の説明図



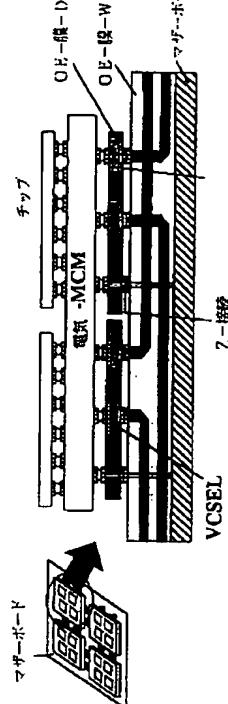
【図152】

裏面接続されたOE-膜のスタック構造の一実施例の説明図



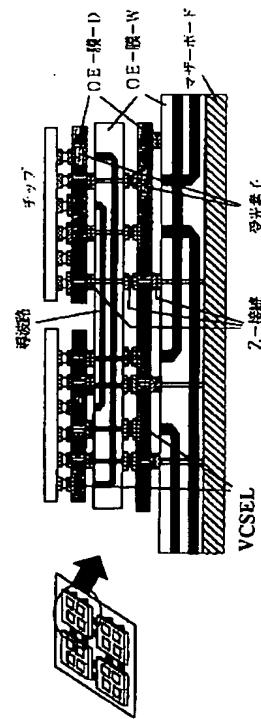
【図153】

OE-MCMとOE-ボードのスタック構造の一実施例の説明図



【図154】

OE-MCMとOE-ボードのスタック構造の一実施例の説明図



フロントページの続き

(72)発明者 高橋 康仁
アメリカ合衆国, カリフォルニア 95129,
サンノゼ, イングルウッド・ドライヴ
5234番

(72)発明者 稲生 正章
アメリカ合衆国, カリフォルニア 95129,
サンノゼ, オールバニー・サークル 4671
番 137号

(72)発明者 マイケル ジー リー
アメリカ合衆国, カリフォルニア 95120,
サンノゼ, セイジ・オーク・ウェイ 6064
番

(72)発明者 ウィリアム チョウ
アメリカ合衆国, カリフォルニア 95014,
クパティーノ, レイク・スプリング・シー
ティー 11551番

(72)発明者 ソロモン アイ ベイリン
アメリカ合衆国, カリフォルニア 94070,
サンカルロス, クラブ・ドライヴ 83番

(72)発明者 ウェン・チョウ ヴィンセント ワン
アメリカ合衆国, カリフォルニア 95014,
クパティーノ, エドミントン・ドライヴ
18457番

(72)発明者 ジェイムズ ジェイ ローマン
アメリカ合衆国, カリフォルニア 94087,
サニーヴェイル, ルービス・ドライヴ
854番

(72)発明者 トマス ジェイ マッシンギル
アメリカ合衆国, カリフォルニア 95066,
スコット・ヴァレイ, ノースリッジ・ドライヴ 170番